

## Amplificador de Instrumentação de Sinais Biológicos

Rui Martins, Francisco Vaz

**Resumo-** Neste artigo é descrito parte de um sistema de aquisição de sinais EEG portátil, realizado sobre a forma de um único circuito integrado monolítico. Um muito baixo ruído e consumo são características essenciais num sistema deste tipo e as grandes metas a atingir.

Por ser o elemento mais crítico do sistema, especial atenção é dada ao amplificador de instrumentação (AI). Por ter provado ser a técnica mais adaptada a uma implementação CMOS, o AI foi desenhado usando realimentação em corrente.

O circuito foi fabricado numa tecnologia *standard CMOS 2.4- $\mu\text{m}$  n-well, double poly, double metal*.

**Abstract-** This paper describes a monolithic EEG acquisition system. A very low noise and power consumption are essential in this systems, so they are the main targets to achieve.

Because the instrumentation amplifier (IA) is the most critical part of the system, particular attention is given to this element, where the use of current feedback techniques proved to be the best solution.

The circuit was fabricated in a standard 2.4- $\mu\text{m}$  n-well, double poly, double metal technology.

### I. INTRODUÇÃO

A aplicação de técnicas VLSI no campo da instrumentação médica, criou novas perspectivas de integração destes sistemas, tendo como consequência aberto o caminho da sua miniaturização e o aparecimento de sistemas portáteis.

É aqui descrita a parte de um sistema de telemetria de sinais biológicos (dedicado especialmente ao EEG - electroencefalograma, mas facilmente adaptável a outros sinais) correspondente à aquisição e condicionamento do sinal, realizada num único circuito integrado monolítico, com características que permitem fazer parte de uma unidade portátil. Esta imposição obriga a que se procure reduzir ao máximo o número de componentes exteriores (resistências, condensadores, circuitos integrados, ...), assim como manter os níveis de consumo o mais baixos possíveis, para que se garanta uma autonomia suficiente, sem aumentar

demasiadamente o peso do equipamento, muito dependente dos acumuladores ou pilhas usados.

O diagrama de blocos do sistema desenvolvido é apresentado na Fig. 1. Ele inclui 16 amplificadores de instrumentação (AI), um multiplexador 16:1, um amplificador de ganho programável, circuitos para efectuar calibração por *software* incluindo um oscilador estabilizado em tensão e frequência, o *interface* digital com o exterior e fonte de corrente/tensão de referência para polarização dos diversos circuitos.

O circuito foi realizado com base na tecnologia *CMOS MIETEC 2.4 $\mu\text{m}$ , double poly - double metal*. Como ferramentas de CAD foi usado o framework *EDGE / CADENCE*. Os circuitos foram simulados usando *HSPICE / Meta-Software*.

Como características principais temos:

- Número de canais = 16
- Consumo de corrente total < 500  $\mu\text{A}$
- Ruído total ref. à entrada do AI < 1.5  $\mu\text{V}$  (RMS)
- CMRR  $\geq$  100 dB
- 0.3 < Largura de Banda < 150 Hz
- Elevada impedância de entrada: >1 M $\Omega$
- Freq. de amostragem = 500 amostras-(s-canal)<sup>-1</sup>
- Ganho= 500, 1000, 2000 e 5000 (programável)

### II. AMPLIFICADORES DE INSTRUMENTAÇÃO

Os sinais de EEG têm níveis muito baixos e largura de

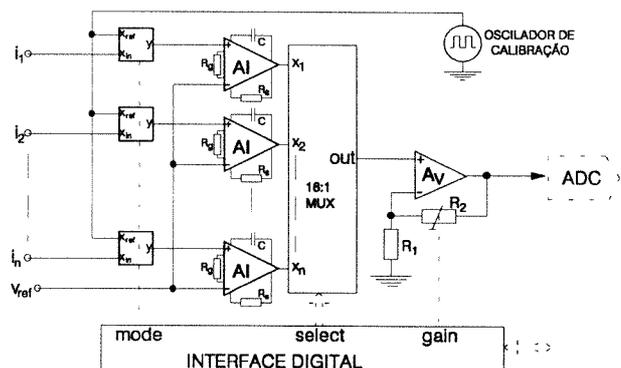


Fig. 1. Diagrama de blocos do sistema de aquisição de sinais EEG.

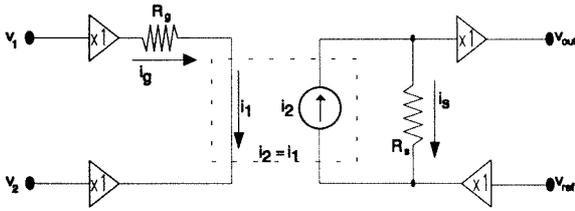


Fig. 2. Diagrama de blocos do AI com realimentação em corrente.

banda que inclui baixas frequências (0.3 - 150Hz) [1]. É assim necessário a existência nestes sistemas, de amplificadores com elevado ganho e muito baixo ruído (incluindo ruído flicker). Outro pormenor essencial é o elevado CMRR que precisam de possuir. Amplificadores de instrumentação com estas características são normalmente implementados em tecnologia bipolar ou JFET, devido ao mais elevado ganho e menor ruído inerente destas tecnologia, quando comparada com a tecnologia CMOS. É assim essencial aplicar novas configurações e efectuar um projecto *full-custom* para superar os problemas apresentados por esta tecnologia. É esta também a razão porque é dada especial atenção ao desenho e projecto de amplificadores de instrumentação.

A. AI com realimentação em corrente

O uso de amplificadores de instrumentação com a convencional realimentação resistiva, como a clássica topologia com 3 amplificadores operacionais, mostrou-se pouco eficaz quando o misto de baixo consumo e elevado CMRR é essencial. De facto estas estruturas necessitam amplificadores operacionais que gastam muita corrente, para serem capazes de fazer o *drive* das resistências de realimentação, que por sua vez precisam de ser muito bem emparelhadas (difícilmente realizável em tecnologia CMOS) com vista à optimização do CMRR.

Para ultrapassar estes problemas foram usados amplificadores com realimentação em corrente [2]-[6]. A Fig. 2 apresenta um diagrama genérico em que este tipo de amplificadores se baseia.

Neste tipo de amplificadores o sinal de entrada é aplicado a dois *buffers* (pelo que resulta numa impedância de entrada muito elevada) de ganho de tensão unitário. Assim é gerada uma corrente na resistência  $R_g$

proporcional à diferença do sinal aplicado entre  $v_1$  e  $v_2$  e cuja constante de proporcionalidade é  $1/R_g$  (o circuito de entrada funciona como um amplificador de transcondutância). Esta corrente é reproduzida fielmente por intermédio de um espelho de corrente para o circuito de saída, onde é forçada a circular na resistência  $R_s$ . A tensão nesta resistência é transmitida à saída por outro *buffer* de ganho unitário (o circuito de saída comporta-se como um amplificador de transresistência).

É interessante notar que um amplificador de instrumentação deste tipo, em contraste com os convencionais, é desenhado para funcionar em malha aberta, ou pelo menos sem que exista uma realimentação global. Este facto associado à existência de um único ponto de alta impedância (aquele que antecede imediatamente o *buffer* de saída), torna a resposta em frequência deste tipo de circuitos extremamente eficaz.

Fazendo uma análise quantitativa à figura 2 temos que:  $i_g = (v_1 - v_2) / R_g$ . Por seu lado na malha de saída:  $v_{out} = i_s \cdot R_s + v_{ref}$ . Como:  $i_1 = i_2 = i_g = i_s$ , obtém-se:

$$v_{out} = \frac{R_s}{R_g} \cdot (v_1 - v_2) + v_{ref} \tag{1}$$

De (1) resulta que o ganho é definido apenas pelo quociente de duas resistências ( $R_s$  por  $R_g$ ), que não estão relacionadas com o CMRR.

A entrada  $v_{ref}$  permite adicionar um valor (normalmente DC) arbitrário à saída (por exemplo para compensar o *offset* do amplificador). Em configurações bipolares está normalmente ligado à massa.

B. Diferentes alternativas de realização

A realização prática do diagrama de blocos Fig. 2, pode ser efectuada usando diferentes topologias. A Fig. 3 apresenta quatro diferentes possibilidades [2]-[6]. Apesar de possuírem a mesma filosofia, o seu comportamento não é obviamente idêntico. Para se proceder à eleição da configuração mais indicada, foi feito um estudo comparativo. Neste estudo foram avaliados os seguintes itens: consumo total, ruído equivalente referido à entrada,

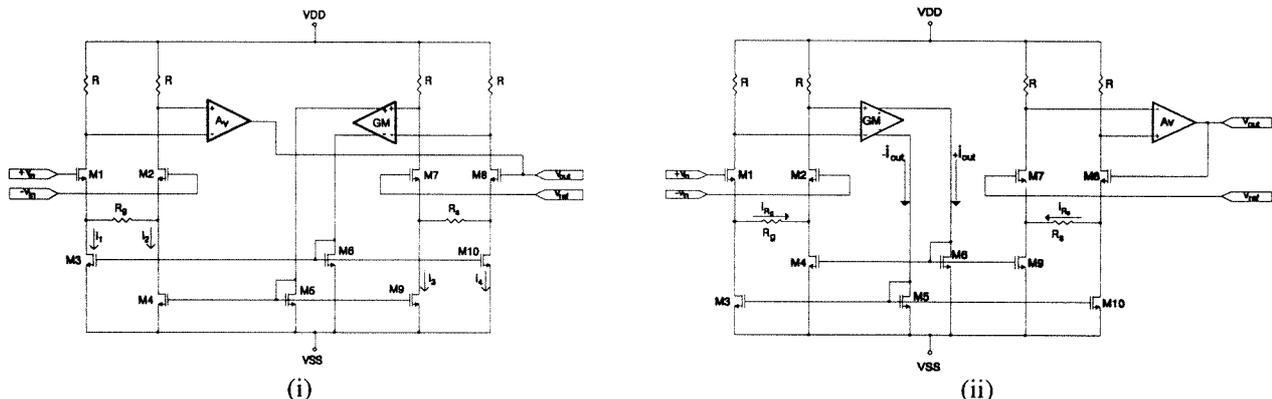


Fig. 3. Possíveis realizações do amplificador de instrumentação com realimentação em corrente.

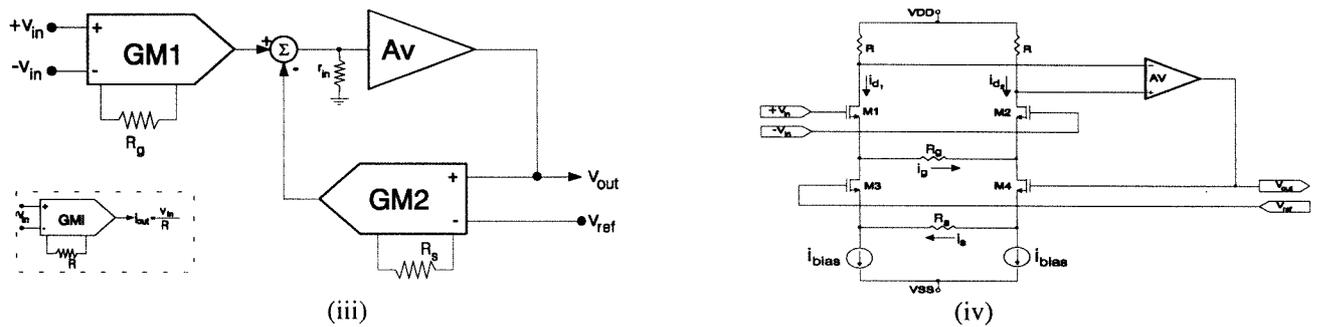


Fig. 3. Possíveis realizações do amplificador de instrumentação com realimentação em corrente (continuação).

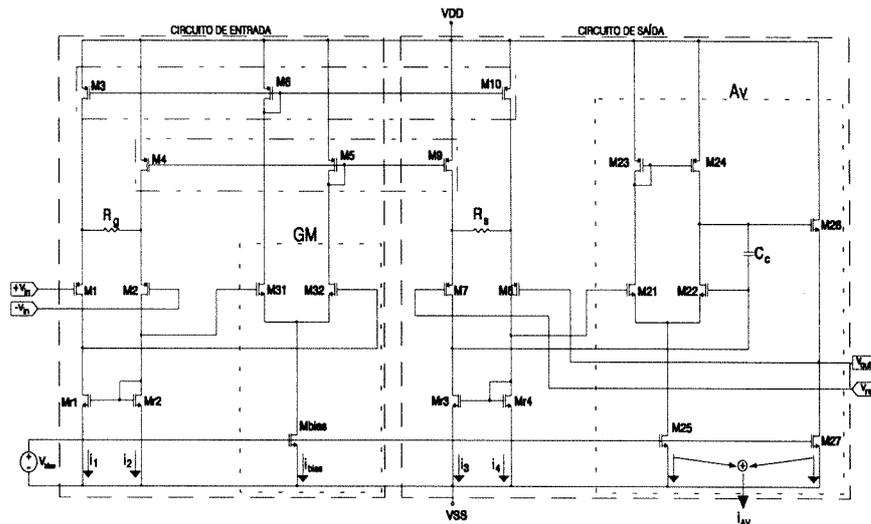


Fig. 4. Esquema do amplificador de instrumentação.

precisão do ganho, CMRR, excursões de sinal à entrada e saída (análise dc) e ganho em malha aberta. O Quadro 1 apresenta um resumo das conclusões obtidas.

	Topologia (i)	Topologia (ii)	Topologia (iii)	Topologia (iv)
CONSUMO	BOM	BOM	SUF.	Muito BOM
RUÍDO	BOM	BOM	SUF.	SUF.
PRECISÃO	BOM	BOM	Muito BOM	MAU
CMRR	BOM	BOM	BOM	BOM
ANÁLISE DC	BOM	BOM	SUF.	MAU
OPEN-LOOP	SUF.	BOM	SUF.	SUF.

Quadro 1. Resumo das características das diversas topologias.

Depois de analisadas todas as topologias, aquelas com um comportamento mais equilibrado foram sem dúvida as topologias (i) e (ii). A topologia (iv) tendo um consumo extremamente baixo, tem problemas em quase todos os restantes itens, pelo que penso que será a indicada apenas naqueles casos onde o consumo é o único ponto importante. A topologia 2 tem enormes potencialidades. Se o consumo não for um problema será uma boa escolha. O que nos leva de novo às topologias (i) e (ii). Contudo, estas têm uma diferença que não é patente no quadro: é que não apresentam o mesmo comportamento dinâmico. De facto, nesta configuração existe realimentação global, o que viola um dos pressupostos apresentados. Daqui resulta que o problema

da compensação é mais complicado com esta configuração., pelo que a escolha recai sobre (ii).

### III. PROJECTO DO AMPLIFICADOR

Após escolhida aquela considerada como a melhor topologia, procedemos ao seu dimensionamento, para o qual foi seguido um percurso lógico. Na Fig. 4 é apresentado o esquema completo da topologia (ii). De notar, que foram escolhidos transistores de entrada com canal P, uma vez que apresentam menor ruído *flicker* para uma dada área de porta. Nesta figura os blocos Av e GM foram também substituídos por o seu esquema detalhado. Pode observar-se que ambos os blocos são constituídos por um amplificador diferencial, sendo Av complementado por um seguidor de fonte para fazer baixar a sua impedância de saída (M26 e M27).

Assim, tendo como base a minimização do consumo de corrente, tal como do ruído, é calculada corrente de polarização e o dimensionamento dos transistores de entrada, respectivamente. Depois é analisada a precisão do ganho do circuito de entrada e dimensionado o circuito de saída. É verificado também o comportamento na frequência e o comportamento dc. São apresentados os circuitos que realizam a função de filtragem passa-alto e passa-baixo e por último são abordados alguns detalhes de *layout*.

### A. Cálculo da corrente de polarização

Estando esta corrente fortemente ligada ao consumo de potência total, que é um dos parâmetros mais importantes, face aos objectivos definidos, o seu valor é de importância capital. Mais o é, porque a corrente de polarização encontram-se inevitavelmente associadas também outras características importantes, e aqui refiro como exemplo, o facto do ganho de transcondutância de um transistor MOS crescer com a corrente de polarização, o que por sua vez influencia outros parâmetros como a estabilidade, ganho, ruído, etc.

Assim impondo um  $(W/L)_{max}=25$ , temos que a corrente de polarização num dado ramo, deverá ser para transistores de canal-P:  $I_D=2\ \mu A$ . Para chegar-se a este valor, foi decidido que os transistores deviam trabalhar num ponto intermédio entre a zona de inversão moderada e a inversão forte, onde o  $(V_{GS}-V_{th})\approx 0.18V$ , onde existe um bom compromisso entre características do transistor e baixo consumo [7].

Usando o valor de cima para os transistores M31 e M32 (implica  $I_{bias}=4\ \mu A$ ) e fazendo o factor de amplificação dos espelhos de corrente (M3-M6-M10) e (M4-M5-M9) igual a 2, resulta:  $I_1=I_2=I_{bias}=I_3=I_4$ , pelo que se também  $I_{AV}=I_{bias}$ , temos que:

$$I_{total}=6 \cdot I_{bias}=24\ \mu A$$

### B. Dimensionamento dos transistores de entrada

Os transistores de entrada M1 e M2 em primeiro lugar e os transistores de carga Mr1 e Mr2 depois, são os componentes mais críticos do amplificador de instrumentação, uma vez que determinam o ruído e o CMRR, assim como o seu *offset*. Um bom comportamento nestes últimos aspectos é conseguido fazendo estes transistores com dimensões muito superiores às mínimas e usando técnicas de *layout* especiais (como será apresentado mais adiante) e a minimização do ruído tem que ter em atenção a componente ruído *flicker*, muito importante em amplificadores CMOS que funcionam a baixas frequências.

A densidade de ruído (equivalente à entrada) é dado (1º termo - ruído térmico ; 2º termo - ruído *flicker*) por:

$$v_i^2 = \frac{8kT}{3g_m} + \frac{K_f}{C_{ox}^2 WL} \cdot \frac{1}{f} \quad (2)$$

Assim usando o termo de (2) correspondendo ao ruído térmico, obtem-se para uma razão  $(W/L)=25$  dos transistores de entrada, o que corresponde a  $g_m=60\ \mu S$ , uma densidade de ruído de  $13\ nV/\sqrt{Hz}$  por transistor

Por se verificar que a regra prática usualmente utilizada para calcular os transistores de carga, que afirma que a transcondutância dos transistores de entrada deve ser 3

vezes a dos transistores de carga, não dar bons resultados quando se considera o ruído *flicker*, foi feita uma investigação mais cuidada onde foi calculado o parâmetro  $Y$ - *noise excess factor*, que normaliza densidade total de ruído à entrada com aquela obtida para apenas um dos transistores de entrada. Para o nosso caso temos (e ruído *flicker*  $Y_F$ ):

$$Y_F = \frac{v_{n_{total}}^2}{v_{n_{M1}}^2} \Big|_{Flicker} = 2 \left[ 1 + \frac{Kf_N}{Kf_P} \cdot \left( \frac{g_{m_{Mr1}}}{g_{m_{M1}}} \right)^2 \cdot \frac{(WL)_{M1}}{(WL)_{Mr1}} \right]$$

Para que a contribuição dos transistores de carga seja inferior a  $\approx 10\%$  no ruído total é preciso verificar:

$$\frac{g_{m_{M1}}}{g_{m_{Mr1}}} > 3 \sqrt{\frac{Kf_N}{Kf_P} \cdot \frac{(WL)_{M1}}{(WL)_{Mr1}}} \quad (3)$$

A condição (3) é muito difícil de obter, para transistores Mr1 e Mr2 com dimensões não muito elevadas, pelo que no nosso caso foi escolhido  $Y_F=4$  (o ruído *flicker* gerado pelos transistores de entrada é igual ao dos transistores de carga). Assim para um ruído total integrado na banda (0.3 - 150 Hz) de  $1.2\ \mu V$ , usamos transistores com  $(W/L)_{M1}=(600/25)$  e  $(W/L)_{Mr1}=(24/200)$ , em que todas as dimensões estão em  $\mu m$ . Para estes valores o efeito dos transistores de carga no ruído térmico é muito baixo, pelo que pode ser desprezado. De facto neste caso temos:  $Y_T=2 \cdot (1+g_{m_{Mr1}}/g_{m_{M1}})=2.17$  (notar que o valor mínimo é 2 - todo o ruído é gerado nos transistores de entrada).

### C. Precisão do ganho do circuito de entrada

A função do circuito de entrada é a de um amplificador de transcondutância com ganho  $1/R_g$ . Na prática só se consegue uma aproximação a este valor ideal que importa examinar. O erro relativo em função da transcondutância do bloco GM é apresentado na Fig. 5.

Conforme se pode ver da Fig. 5 os valores calculados anteriormente (ponto P) levam a um erro de  $\approx 0.4\%$ , que se considera satisfatório, pelo que não é preciso fazer nenhuma alteração ao projecto inicial.

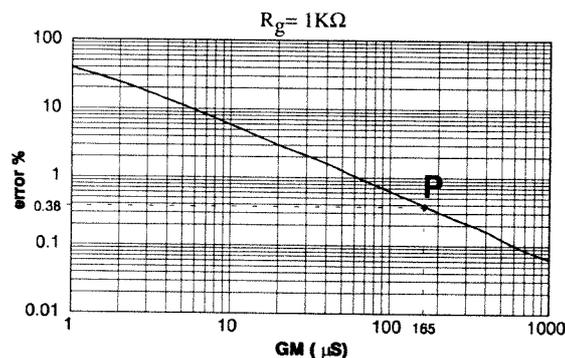


Fig. 5. Erro relativo vs. ganho de transcondutância do bloco GM.

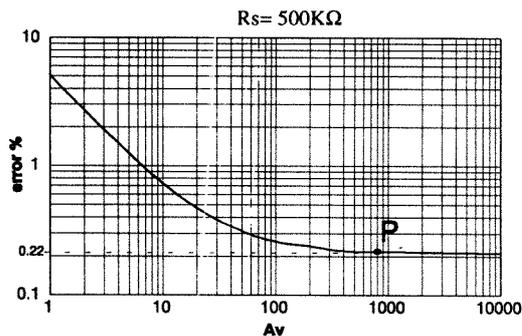


Fig. 6. Erro relativo do circuito de saída vs. ganho de tensão do bloco Av.

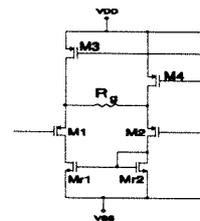


Fig. 7. Entrada do amplificador de instrumentação.

angular mais baixa, admitindo que cada amplificador pode ser aproximado por um sistema de 2ª ordem, e com base na teoria deste tipo de sistemas, calculamos os polos em malha fechada. Com este método são obtidos os resultados seguintes: (Quadros 2 e 3).

Estes resultados foram comprovados pelas simulações efectuadas e mostram a disponibilidade deste tipo de amplificadores de instrumentação, para serem usados em sistemas que requerem muito superiores larguras de banda. Obviamente, nesta aplicação foram adicionados circuitos ao esquema base da Fig. 4 para uma largura de banda compatível com os sinais EEG (ver circuitos de filtragem).

D. Dimensionamento do circuito de saída

O circuito de saída não é tão crítico como o circuito de entrada, pois a sua influência em pontos como o ruído e o CMRR é muito reduzida. É no entanto importante garantir tal como fizemos no circuito de entrada, que a sua precisão (na definição do ganho de transresistência - idealmente  $R_s$ ) seja elevada. Par isso temos que escolher um ganho Av suficientemente elevado. No caso de  $(W/L)_{M7,M8}=(240/10)$  o que é equivalente em termos de  $g_m$  ao dos transistores M1 e M2 (a razão é igual apesar das dimensões serem reduzidas) temos a curva da Fig. 6.

Conforme apresentado em Fig.6 o amplificador Av foi projectado para um ganho 800, correspondendo a um erro de 0.22%. Entrando com o erro do circuito de entrada, o erro total máximo é de cerca de 0.6%, dentro portanto das especificações.

E. Análise na frequência

Como o amplificador de instrumentação é constituído por dois blocos distintos (um amplificador de transcondutância e um amplificador de transresistência), sem que exista realimentação de um para o outro, a resposta na frequência depende directamente do comportamento de cada um dos blocos individuais, pelo que a análise pode ser feita separadamente.

Para fazer esta análise calculamos os polos em malha aberta do bloco a analisar, considerando no entanto o efeito da carga que a malha de realimentação representa. Depois usando apenas os dois polos com frequência

F. Análise dc

Um ponto importante quando se projecta um amplificador é a especificação do seu CMR (*Common Mode Range*), definido como a gama de valores de tensão de modo comum à entrada para o qual amplificador continua a amplificar fielmente o sinal diferencial. Esta característica depende da maneira como o circuito de entrada está polarizado.

Para um funcionamento correcto é preciso que todos os transistores trabalhem na zona de saturação. Analisando o circuito da Fig. 7 resulta que para essa situação acontecer é preciso verificar as seguintes condições:

$$V_{G2} > V_{SS} + V_{i_{o_{NMOS}}} + \sqrt{\frac{2 \cdot I_{bias} \cdot L_{M7,2}}{K_N \cdot W_{M7,2}}} - V_{i_{o_{PMOS}}} - \gamma(\sqrt{2|\phi_F| + V_{SB_{M2}}} - \sqrt{2|\phi_F|})$$

$$V_{G1} < V_{DD} - \sqrt{\frac{2 \cdot I_{bias} \cdot L_{M8,3}}{K_P \cdot W_{M8,3}}} - \left( \sqrt{\frac{2 \cdot I_{bias} \cdot L_{M1}}{K_P \cdot W_{M1}}} + |V_{i_{o_{PMOS}}}| + \gamma(\sqrt{2|\phi_F| + V_{SB_{M2}}} - \sqrt{2|\phi_F|}) \right)$$

Substituindo os valores obtemos para o amplificador de instrumentação:  $-3.8V < CMR < 1.5V$ . A excursão máxima do sinal de saída, dada a simetria do amplificador de instrumentação, é semelhante à gama de modo comum do circuito de entrada. Reparar que apesar de M7 e M8 não terem as mesmas dimensões de M1 e M2, possuem a mesma razão W/L. É evidente que admitimos que não existem problemas com o seguidor de fonte.

MALHA ABERTA			MALHA FECHADA					
$A_0$	$s_1$	$s_2$	$A_f$	$s_1$	$s_2$	$Q^2$	$f_{pico}$	$A_{pico}$
0.27	-2230	-106	$10^3$	$-54 \cdot 10^3 \pm j170 \cdot 10^3$		2.7	220	4.6
A/V	Hz	KHz	A/V	Hz			KHz	dB

Quadro 2. Resposta em frequência do circuito de entrada.

MALHA ABERTA			MALHA FECHADA					
$A_0$	$s_1$	$s_2$	$A_f$	$s_1$	$s_2$	$Q^2$	$f_{pico}$	$A_{pico}$
8 · 10 <sup>10</sup>	-1.5	-300	500	$-150 \cdot 10^3 \pm j370 \cdot 10^3$		1.8	340	3.3
V/A	Hz	KHz	KV/A	Hz			KHz	dB

Quadro 3. Resposta em frequência do circuito de saída

G. Circuitos de filtragem

Com a intenção de reduzir o ruído ao mínimo, o amplificador de instrumentação inclui circuitos que o tornam um filtro passa-banda (0.3 - 150Hz). A acção

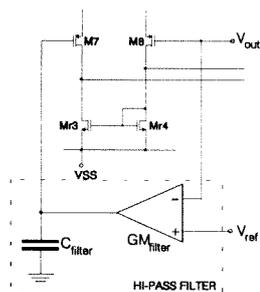


Fig. 8. Solução usada para realizar o filtro passa-alto.

passa baixo é realizada colocando um condensador  $C_s$  em paralelo com  $R_s$ . Isto causa um polo à frequência:

$$f_H = 1 / (2\pi \cdot R_s \cdot C_s)$$

A característica passa-alto é mais difícil de ser realizada. O uso de um filtro passivo RC não é uma boa solução para uma frequência de corte tão baixa, pelo que foi decidido usar outra malha de realimentação no circuito de saída, como é mostrado na Fig. 8.

Dentro da nova malha de realimentação existe um integrador constituído por  $GM_{filter}$  e  $C_{filter}$ . O primeiro age como uma resistência, mas oferece duas vantagens em relação a uma verdadeira: 1- Como é possível fazer a sua transcondutância baixa, uma resistência equivalente de valor elevado pode ser obtida ( $>1M\Omega$ ). 2- Não há uma carga resistiva na saída do IA e como é evidente da Fig. 8 um terminal de referência  $v_{ref}$  continua a existir. Com esta configuração obtém-se uma frequência de corte à frequência.

Dentro da nova malha de realimentação existe um integrador.  $GM_{filter}$  age como uma resistência, mas oferece duas vantagens em relação a uma verdadeira: Primeiro, como é possível fazer a sua transcondutância baixa, uma resistência equivalente de valor elevado pode ser obtida ( $>1M\Omega$ ). Segundo, não há uma carga resistiva na saída do IA e como é evidente da Fig. 8 um terminal de referência  $v_{ref}$  continua a existir. Com esta configuração obtém-se uma frequência de corte à frequência:

$$f_L = GM_{filter} / (2\pi \cdot C_{filter})$$

#### H. Técnicas de layout

Muitas vezes circuitos analógicos que funcionam excelentemente nas simulações realizadas, falham totalmente quando testados experimentalmente. Se nos abstivermos de problemas relacionados com defeitos de fabrico, a grande causa de desvios em relação aos resultados esperados está ligada a aspectos práticos, onde cálculos teóricos e as simulações pouco ajudam.

Uma das questões mais importantes que se levantam é o emparelhamento de dispositivos (transistores, condensadores e resistências). A compreensão integral deste ponto é um requisito fundamental para o projecto de sistemas que exijam elevada precisão [8]. No projecto de

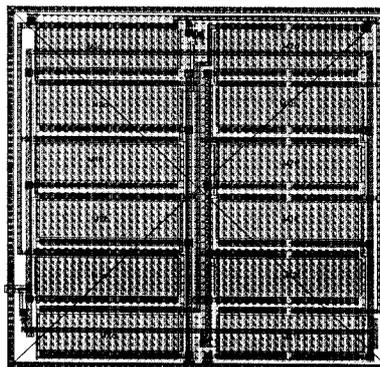


Fig. 9. Layout dos transistores de entrada.

um amplificador de instrumentação, obviamente que estes problemas existem e têm que ser tratados com atenção. Aqui a chave para se atingir um elevado CMRR, é um bom emparelhamento dos transistores de entrada, pelo que no desenho do layout destes componentes foram tomados cuidados especiais. Assim, para além de possuírem dimensões muito superiores às mínimas, para desta maneira combater-se as flutuações aleatórias da periferia dos transistores, foram usadas estruturas com centróide comum [9].

Foi também procurado fazer as conexões entre as diversas partes simétricas, mesmo que para tal tivéssemos que usar linhas que não eram precisas. Deste modo procurou-se fazer com que as capacidades parasitas, fossem o mais iguais possíveis nos dois transistores. Isto optimiza o comportamento na frequência de parâmetros como o CMRR.

Por último convém acrescentar que foram colocados inúmeros contactos de substrato e à *N-well* para reduzir as possibilidades de *latch-up*. Existe ainda uma série de contactos ao substrato, ao longo do perímetro do amplificador de instrumentação, para desta maneira o acoplamento resistivo (com outros componentes, especialmente digitais) através do substrato ser minimizado.

### III. OUTROS CIRCUITOS REALIZADOS

#### A. Amplificador final

Quando descrevemos o sistema de aquisição, referimos que o ganho total é distribuído pelo amplificador de instrumentação e por um amplificador final (ver Fig. 1) que deveria ter um ganho variável entre 1 e 10. Como à saída do AI o nível de sinal já é elevado, a precisão e as características de ruído que o amplificador de saída tem que apresentar são bastante relaxadas. Por esta razão foi decidido usar uma configuração simples - Fig. 10, com dois andares de ganho, baseada no amplificador operacional de Miller, com um andar de saída em classe AB (Fig. 10), que se ligou na sua configuração não inversora.

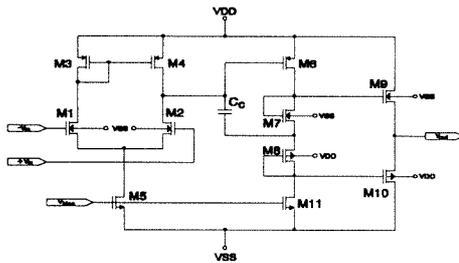


Fig. 10. Esquema do amplificador final.

A escolha de um andar de saída em classe AB, prende-se com a maior eficiência em termos de corrente consumida que apresenta, quando comparada com a configuração em classe A. Para este, a capacidade de *sinking* é limitada pela corrente de polarização, estando à partida definida. Com a montagem em *push-pull* esta limitação não existe. De facto é possível polarizar M9 e M10 com uma dada corrente muito mais baixa, do que aquela que podem fornecer sob condições dinâmicas. Assim temos que uma configuração em classe AB apresenta uma impedância de saída baixa, uma capacidade de *source* e *sink* de corrente elevada (e simétrica), enquanto o consumo é mantido baixo.

Conforme referido o amplificador operacional encontra-se ligado numa configuração não inversora, e o ganho é programado actuando num multiplexador de 4:1 que liga à massa de sinal, uma de 4 resistências com o valor conveniente para o ganho pretendido.

**B. Oscilador de calibração**

É impossível, por mais cuidados que se tenham que todos os canais tenham exactamente a mesma resposta, nomeadamente no que diz respeito ao ganho. Este facto pode no entanto ser resolvido, se antes de se proceder a uma aquisição efectiva, injectarmos um sinal de referência comum em todos os canais, que usado com o *software* conveniente, faça a sua calibração. Nos sistemas EEG, este sinal é normalmente uma onda quadrada, com uma frequência de cerca de 10Hz, e uma amplitude de

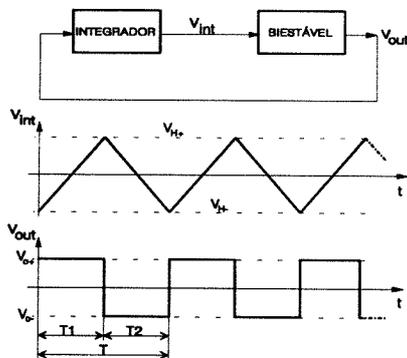


Fig. 11. Oscilador não sintonizado:  $T = 4 \cdot V_H / K \cdot V_0$   
(K é o ganho do integrador).

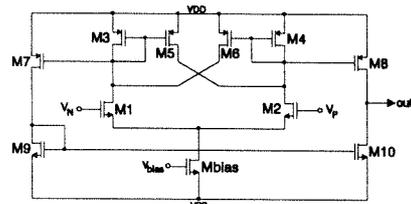


Fig. 12 Comparador com histerese (circuito biestável).

aproximadamente 50µV. Um oscilador pode ser realizado ligando um integrador e um biestável em cascata como na Fig. 11.

Para redução da área e baixo consumo de corrente foi decidido que o biestável não deveria possuir resistências. O circuito adoptado [10] é apresentado na Fig. 12.

Um integrador analógico felizmente pode ser realizado de uma maneira muito simples. Basta injectar corrente num condensador: a tensão resultante é o integral da corrente. Com este princípio é possível realizar um oscilador com a configuração da Fig. 13.

O funcionamento do circuito é simples e idêntico ao do esquema genérico da Fig. 11. Aqui a integração é feita pelo condensador C e resulta que o período de oscilação é dado por:  $T = 4 \cdot C \cdot V_H / I_{bias}$ . Invertendo esta equação e substituindo  $V_H$ , resulta a frequência de oscilação:

$$f_{osc} = \frac{I_{bias}}{4 \cdot C \cdot \sqrt{\frac{2 \cdot I_{bias}}{K \cdot S_1 \cdot (S_3 + S_5)} \cdot (\sqrt{S_5} - \sqrt{S_3})}}$$

Nas saída da Fig. 13, a frequência não depende da tensão de alimentação, mas a sua amplitude não está obviamente estabilizada. Por outro lado como o valor da tensão de calibração deve ser muito baixo conforme referido no início. Estas duas questões foram resolvidas usando um circuito semelhante ao do integrador, mas substituindo o condensador por uma resistência (ver Fig. 14). A amplitude do sinal de saída fica:  $V_{out} = R \cdot I_{bias} \cdot (S_{Msink} / S_{Mbias})$  e é independente das tensões de alimentação.

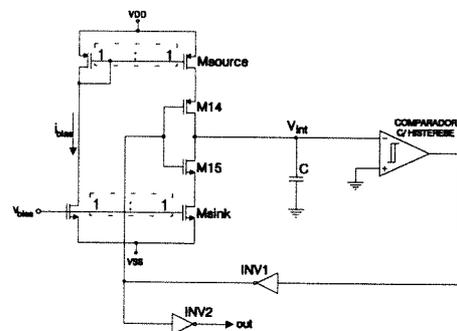


Fig. 13. Esquema simplificado de um oscilador alternativo.

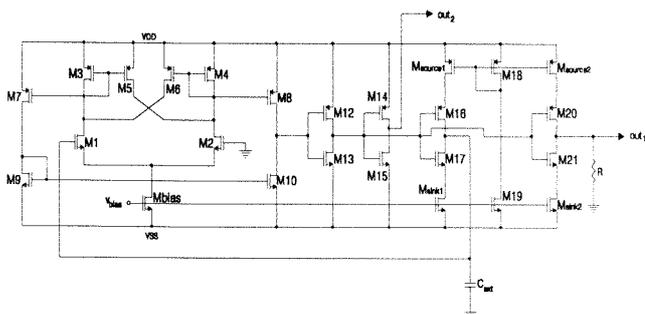


Fig. 14. Esquema completo do oscilador.

C. Gerador de Tensão/corrente de referência

Como vimos em todos os circuitos houve necessidade de ter um tensão ou uma corrente estável. Como o sistema é alimentado com pilhas ou baterias, esta não pode ser retirada directamente das alimentações.

Existem diversos circuitos que geram tensões/correntes de referência. O tipo mais usado - *the bandgap reference*, tem a vantagem de apresentar um coeficiente de temperatura muito baixo [11], mas exige contudo o uso de transistores bipolares. Foi decidido usar uma alternativa que só usasse transistores MOSFET. Para além disso, na aplicação em questão, não existe necessidade de se ter uma estabilidade com a temperatura muito alta (como por exemplo em conversores A/D e D/A). Assim foi usada a configuração da Fig. 15 [8],[12].

Nesta configuração o que se faz é aproveitar o facto de a tensão  $V_{GS}$  do transistor M3 ser constante se a sua corrente de dreno for fixa. Isto acontece porque a corrente de dreno de M3 é o espelho da corrente em R (por acção de M1 e M2), que admitindo  $V_{GS}$  constante, é obviamente também constante:  $I_R = V_{GS}^3 / R$ . Temos assim que o comportamento deste tipo de fontes (também chamadas *bootstrapped*, devido ao fenómeno apontado) é descrito por duas equações:

$$V_{GS3} = R \cdot I_{REF} \quad \text{e} \quad V_{GS3} = V_{th} + \sqrt{\frac{2 \cdot I_{REF}}{S_{M3}}}$$

O ponto de funcionamento está na intersecção destas duas equações. Infelizmente como se pode ver também na Fig. 15 existe uma solução trivial (ponto T) em que a corrente assim como  $V_{GS3}$  é nula, que deve ser evitada.

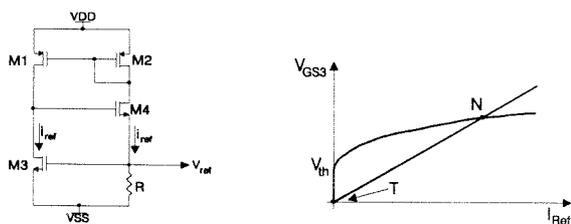


Fig. 15. Fonte de tensão self-biased.

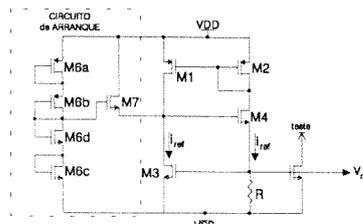


Fig. 16. Esquema incluindo o circuito de arranque.

Para garantir que quando se liga a fonte, se vá para o ponto normal de funcionamento (N), é preciso adicionar um circuito de arranque. A solução que foi adoptado é apresentada na Fig. 16.

O circuito de arranque consiste num transistor - M7, que está polarizado com uma tensão de porta, tal que no início seja capaz de fornecer uma corrente que obrigue o circuito a deslocar-se para o ponto de funcionamento N, e que fique cortado à medida que N vai sendo atingido, de tal maneira que neste ponto não desempenhe qualquer papel no circuito. Para obter a tensão de polarização de M7, foi usada uma cadeia de 4 transistores (M6a-d), para minimizar a corrente consumida pelo próprio divisor (e a sua área).

IV. RESULTADOS EXPERIMENTAIS

Acabamos com um chip com área total de aproximadamente 25 mm<sup>2</sup> (Fig. 17), incluindo *input/output pads*. Esta podia ser reduzida se o número de pinos externos fosse reduzido, pois o chip é *pad limited*, o que é aliás um bom tópico para trabalho futuro

Os resultados experimentais são apresentados nas próximas figuras, onde é ilustrado o bom funcionamento dos diversos blocos do circuito integrado. Nalguns tópicos são confrontados com os resultados das simulações. No fim os resultados mais importantes são sumarizados.

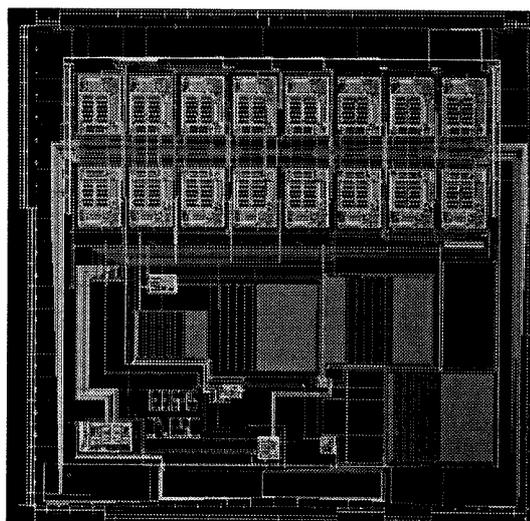
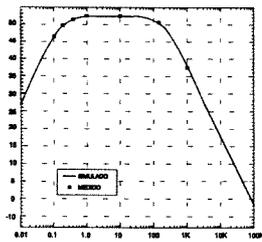
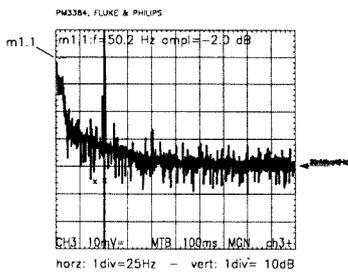


Fig. 17. Layout do circuito realizado

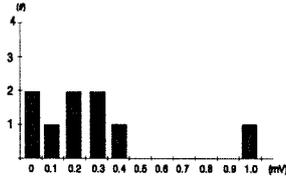
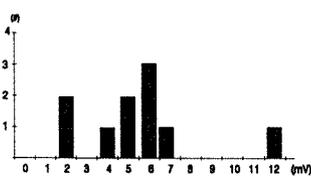
**A. Amplificador de instrumentação**



(i) Resposta na frequência.



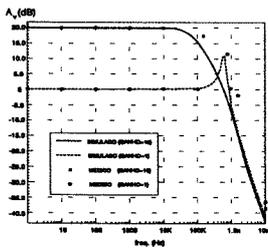
(ii) Ruído- FFT.



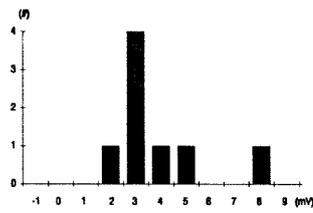
Offset - histograma (ver nota 1).

Esquerda: com circuito filtragem ; Direita: Sem circuito filtragem.

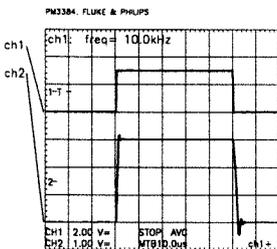
**B. Amplificador final**



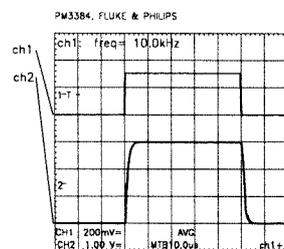
(i) Resposta na frequência.



(ii) Tensão de offset (entrada).

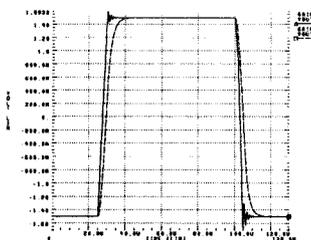


(ganho= 1)

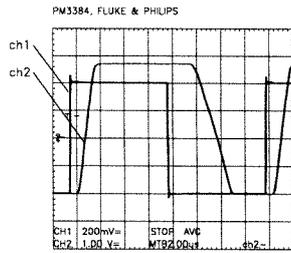


(ganho=10)

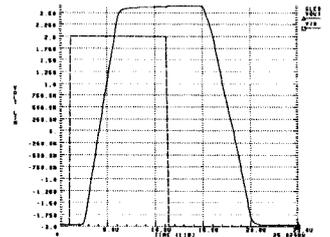
(iii) Resposta transiente ( $C_L=4.7pF$ ) - CH1:  $V_{in}$ ; CH2:  $V_{out}$ .



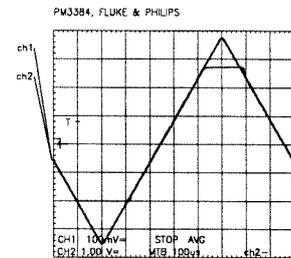
(simulação)



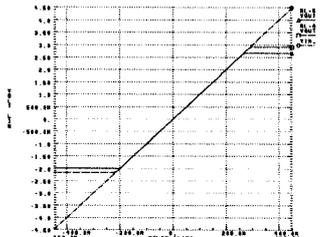
(iv) Slew-rate - CH1:  $V_{in}$ ; CH2:  $V_{out}$ .



(simulação)

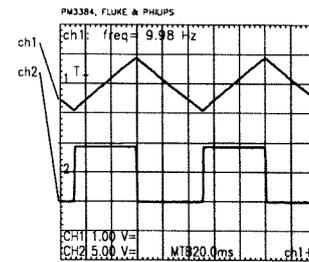


(v) Resposta dc - CH1:  $V_{in}$ ; CH2:  $V_{out}$ .



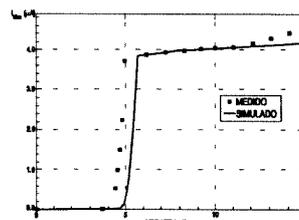
(simulação)

**C. Oscilador de calibração**

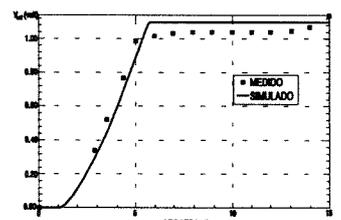


(i) Oscilador - CH1: Sinal no condensador C ; CH2: Tensão de saída  $V_{out2}$ .

**D. Gerador de Tensão/Corrente**



(i) A corrente versus (VDD-VSS).



(ii)  $V_{bias}$  versus (VDD-VSS).

**nota 1)** O gráfico da direita refere-se ao *offset* de entrada dos amplificadores de instrumentação, quando o circuito de filtragem passa-alto está desactivado. O gráfico da esquerda refere-se ao *offset* devido ao circuito de filtragem passa-alto. Este *offset* é medido directamente na saída e não depende do ganho. É obvio que apesar do *offset* à entrada do amplificador ser anulado pelo filtro passa-alto, é este que tem maior importância, pois mostra qual é o equilíbrio do AI.

### E. Resumo das principais características

Os resultados estão apresentados no Quadro 4.

PARÂMETRO	valor	Observações
Área activa	24 mm <sup>2</sup>	
Tensão de alimentação	±4.5 V	
Corrente consumida	520 µA	valor típico
Erro máximo do ganho	0.9 %	Qualquer ganho
Ruído total na banda (entrada)	1.4 µV (RS)	0.3 < LB < 150 Hz
CMRR	99 D.B.	valor típico
Offset (à entrada)	0.29 mV	valor médio
Offset (à saída com filtro)	5.7 mV	valor médio
PSRR	40 dB	valor típico
Gama de modo comum (AI)	-3.8 < CMR < 1.5 V	
idem (Amp. final)	-2 < CMR < 2.5 V	R <sub>L</sub> = 56K
Slew-Rate (Amp. final)	0.5 V/µS	
f <sub>osc</sub>	9.8 Hz	Oscilador de calibração
Amplitude	56 µV	Oscilador de calibração
Regulação de linha (I <sub>out</sub> = 4 µA)	50 nA/V	tensão/corrente de ref.
Frequência máxima de clock	50 KHz	do multiplexador

Quadro 4. Comportamento típico.

### V. CONCLUSÕES

É possível integrar num circuito integrado monolítico de dimensões médias (5 × 5 mm<sup>2</sup>), usando uma tecnologia puramente CMOS, um sistema de aquisição de sinais EEG com 16 canais, consumindo menos do que 0.5mA (excluindo ADC), solução que apresenta (comparativamente a implementações discretas) vantagens em termos de autonomia, volume, peso e custos (dado o baixo custo da tecnologia utilizada).

Foi ainda mostrado que os amplificadores de instrumentação com realimentação em corrente podem ser integrados em tecnologia CMOS com sucesso, apesar das limitações que esta tecnologia possui.

### AGRADECIMENTOS

Este trabalho foi realizado no âmbito do projecto JNICT: PMCT/CISAU/806/90 e com o apoio da bolsa de mestrado da JNICT no âmbito do programa CIÊNCIA: BM/1772/91.

### NOTAÇÃO USADA

$W$  = largura do canal de um transistor MOSFET

$L$  = comprimento do canal de um transistor MOSFET  
 $S$  =  $WL$   
 $V_D$  = tensão dreno-substrato  
 $V_S$  = tensão fonte-substrato  
 $V_G$  = tensão porta-substrato  
 $I_D$  = corrente de dreno  
 $k$  = constante de Boltzman  
 $T$  = temperatura (°K)  
 $q$  = carga do electrão  
 $U_T$  =  $kT/q$   
 $C_{ox}$  = Capacidade do óxido da porta por unidade de área  
 $\mu$  = mobilidade do canal  
 $K'$  =  $\mu \cdot C_{ox}$  (parâmetro de transcondutância)  
 $V_{to}$  = Tensão de limiar com  $V_G = 0V$   
 $V_{th}$  = Tensão de limiar  
 $N_B$  = Concentração de impurezas do substrato  
 $n_i$  = Concentração intrínseca de portadores  
 $\Phi_F$  =  $U_T \ln(N_B/n_i)$  Potencial de Fermi

### REFERÊNCIAS

- [1]- R. Cooper, J. W. Osselton and J. C. Shaw, "EEG Technology"-3<sup>rd</sup> Ed.; Butterworths - London, 1980.
- [2]- H. Krabbe, "A High Performance Monolithic Instrumentation Amplifier"; *ISSCC Dig. Tech. Papers*, Feb. 1971, pp. 186-187.
- [3]- Jacob Millman, Arvin Grabel, "Microelectronics"; McGraw-Hill International Editions, 1988.
- [4]- A. Paul Brokaw, Michael P. Timko, "An Improved Monolithic Instrumentation Amplifier"; *IEEE J. Solid-State Circuits*, vol. SC-10, no.6 - December 1975, pp. 417 - 423.
- [5]- Rudy J. Van De Plassche, "A Wide-Band Monolithic Instrumentation Amplifier"; *IEEE J. Solid-State Circuits*, vol. SC-10, no.6 - December 1975, pp. 424 - 431.
- [6]- Michael S. J. Steyaert, Willy M. C. Sansen and C. Zhongyuan, "A Micropower Low-Noise Monolithic Instrumentation Amplifier for Medical Purposes"; *IEEE J. Solid-State Circuits*, vol. SC-22, no.6 - December 1987, pp. 1163 - 1168.
- [7]- Willy Sansen, "Advanced Analog Design"; *CMOS -VLSI Design Course*, Lausanne - September 1989.
- [8]- Gregorian R., Temes G., "Analogue MOS Integrated Circuits for Signal Processing"; J. Wiley, 1986.
- [9]- J. L. McCreary and P. Gray, "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-Part 1"; *IEEE J. Solid-State Circuits*, vol. SC-10, no.6 - December 1975, pp. 371-379.
- [10]- D. J. Allstot, "A Precision Variable-Supply CMOS Comparator"; *IEEE J. Solid-State Circuits*, vol. SC-17, no.6 - December 1982, pp. 1079-1080.
- [11]- R. J. Widlar, "New Developments in IC Voltage Regulators"; *IEEE J. Solid-State Circuits*, vol. SC-6, no.1 - February 1971, pp. 2-7.
- [12]- Randall L. Geiger, Phillip E. Allen and Noel R. Strader, "VLSI Design Techniques for Analog and Digital Circuits"; McGraw-Hill International Editions, 1990.