

Geração de Vectores de Teste por Emparelhamento

Fernando Morgado Dias, Mohamed Hedi Touati, Meryem Marzouki, António Ferrari

Resumo- Este artigo apresenta um método que permite gerar vectores de teste para placas electrónicas compostas por módulos cuja descrição estrutural é desconhecida.

Os únicos dados disponíveis são os vectores de teste de cada módulo em separado, a sua cobertura sobre as entradas/saídas primárias de cada módulo fornecidas pelo fabricante e a composição da placa.

Este método permite gerar vectores de teste para testar uma placa a partir das suas entradas/saídas primárias e foi automatizado, resultando na implementação de uma ferramenta iterativa desenvolvida em linguagem C.

Abstract- This paper presents a method to generate test vectors for an electronic board composed of modules from which the structural description it's not known.

The only information available is the set of test vectors, their coverage on the primary inputs and outputs of each module provided by the manufacturer and the composition of the board.

This method provides test vectors to test the board from its primary inputs and outputs and was automatized, resulting in a iterative software tool, developed in C language.

I. INTRODUÇÃO

O aparecimento do standard *Boundary-Scan* veio facilitar o teste dos circuitos integrados e das placas electrónicas permitindo nomeadamente uma melhor controlabilidade e observabilidade sobre os nodos a testar.

Infelizmente a percentagem de Circuitos Integrados que são efectivamente desenvolvidos com facilidades BS (*Boundary Scan*) é ainda baixa, tendo sido avaliada como inferior a 10% em 1992[5]. Embora esta situação tenda a evoluir rapidamente e a pesquisa se desenvolva assumindo frequentemente a disponibilidade total de circuitos com BS, é necessário analisar a situação actual onde as placas electrónicas são compostas tanto de módulos com facilidades BS como por módulos desprovidos de facilidades de teste.

É nesta situação intermédia que surge a utilidade deste trabalho: um fabricante de placas electrónicas não possui, em muitos casos, a descrição estrutural dos módulos que aglomera nas placas que produz e precisa no entanto de garantir a qualidade do seu produto, gerando vectores de teste para as placas que coloca no mercado.

Nesta situação não é possível utilizar os geradores de vectores de teste (ATPGs) por não se possuir a descrição estrutural e justifica-se então o desenvolvimento desta técnica de geração de vectores de teste por emparelhamento que utiliza os vectores de teste dos módulos para gerar vectores de teste para as placas.

II. A GERAÇÃO DE VECTORES DE TESTE POR EMPARELHAMENTO

Todas as placas electrónicas são constituídas por circuitos dispostos em série e em paralelo. Um exemplo muito simples é o apresentado na figura 1.

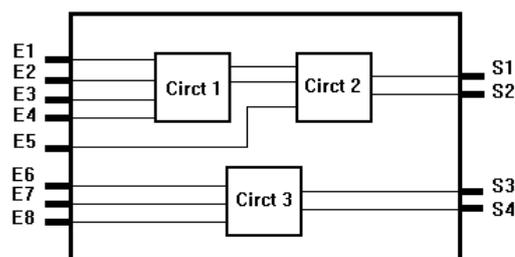


Figura 1: Exemplo de uma placa com circuitos em série e em paralelo

A. Teste dos circuitos dispostos em paralelo

O teste dos circuitos dispostos em paralelo não coloca um problema delicado, uma vez que as entradas/saídas do circuito se encontram acessíveis à partir das entradas/saídas da placa. Nesta situação basta aplicar os vectores de teste às entradas convenientes para testar o módulo em questão.

B. Teste dos circuitos dispostos em série

O teste dos circuitos dispostos em série é bastante mais complexo e é o motivo de desenvolvimento deste trabalho. Os problemas genéricos que se colocam são os problemas de controlabilidade e observabilidade dos nós intermédios das placas.

C. A Controlabilidade

A Controlabilidade é um critério que permite caracterizar a facilidade em posicionar, a partir das entradas primárias

do circuito, um nó num determinado valor lógico[1]. Para testar um circuito cujas entradas não são entradas da placa e que não disponha de facilidades de BS, é necessário agir sobre as entradas da placa por forma a obter nas entradas do módulo as combinações necessárias ao seu teste.

D. A Observabilidade

A Observabilidade é um critério que permite avaliar a facilidade com que se pode observar sobre as saídas primárias do circuito o valor lógico em que se encontra um determinado nó interno[1]. Para poder analisar os valores lógicos das saídas de um módulo cujas saídas não são directamente as saídas da placa e que não dispõe de facilidades BS, é necessário agir sobre as entradas dos módulos que se encontram em série com o módulo a testar, por forma que a saída da placa seja directamente dependente das saídas do módulo em teste.

Para fazer face a estes problemas, estabelecemos as condições seguintes:

E. Condições sobre os vectores de teste

E.1 Condições sobre o circuito a Montante

Condição Necessária: É preciso que os vectores de teste deste circuito detectem todos os erros de colagem simples sobre as saídas do circuito que sejam ligadas ao circuito seguinte.

Esta condição satisfaz ao critério de controlabilidade.

Condição Suficiente: É preciso que no conjunto dos vectores de teste existam sequências que permitam ter o máximo de combinações dos valores de saída. Ou seja, para n saídas, é necessário ter as 2^n combinações possíveis. Na realidade o número das combinações necessárias vai depender sobretudo dos vectores de teste do circuito a jusante. O que é verdadeiramente necessário é poder reconstituir, sobre as entradas do circuito a jusante todas as sequências necessárias ao seu teste.

E.2 Condições sobre o circuito a Jusante

Condição Necessária: É preciso que no conjunto de vectores de teste disponível existam vectores que permitam por em evidência todos os erros de colagem simples nas entradas do circuito que estão ligadas a saídas do circuito precedente.

Esta condição satisfaz ao critério de observabilidade total dos nós intermédios.

Condição Suficiente: Sendo n o número de entradas primárias do circuito a jusante, ligadas às saídas do circuito a montante, é necessário existirem vectores que permitam colocar em evidência simultaneamente os 2^n

erros de colagem simples nas entradas do circuito que estão ligadas às saídas do circuito precedente.

Esta condição permite garantir uma taxa de cobertura idêntica à obtida com o circuito isolado.

Para $n=2$, por exemplo, é necessário obter os seguintes pares de detecções simultâneas: $\{(D,D),(D,Db),(Db,D),(Db,Db)\}$.

Com base nas condições estabelecidas, pode agora tratar-se um pequeno exemplo que permitirá constatar as bases do método que se pretende estabelecer.

F. Exemplo de aplicação do método

Para este exemplo simplificado, utiliza-se uma placa constituída por dois circuitos idênticos: C17 (ISCAS 85)- figura 2, disposto como se pode ver na figura 3.

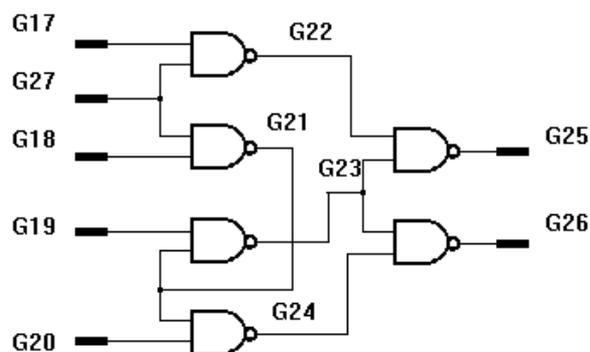


Figura 2: O Circuito C17

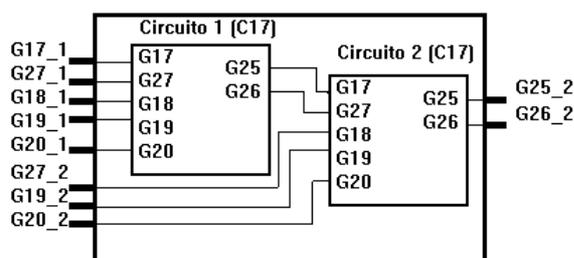


Figura 3: A Placa

Para estes circuitos dispomos de um conjunto de 6 vectores de teste que permitem uma cobertura de 100% (sobre os erros de colagem simples) e que verificam as condições de controlabilidade e observabilidade necessárias.

Na figura 4 podemos ver o conjunto de vectores de teste do circuito C17 e podemos verificar que nas saídas G25 e G26, que dizem respeito à ligação entre os dois circuitos que constituem a placa, existem as quatro combinações possíveis: $\{00,01,10,11\}$.

A figura 5 mostra a cobertura proporcionada por cada vector sobre cada nó do circuito.

	V1	V2	V3	V4	V5	V6
G17	1	0	1	0	0	1
G18	1	1	0	0	0	0
G19	0	0	0	1	0	0
G20	1	1	1	0	0	1
G27	1	1	1	1	1	0
G25	1	0	1	1	0	0
G26	0	0	1	1	0	1

Nós ligados

Figura 4: Os Vectores de Teste

F.1 Teste do circuito a Jusante

Para testar o circuito a Jusante é necessário colocar condições sobre os vectores de teste do circuito a Montante para garantir a propagação dos resultados das saídas do primeiro.

	V1	V2	V3	V4	V5	V6
G17	D	Db	D	0	Db	1
G18	D	D	Db	Db	0	0
G19	0	0	0	D	Db	Db
G20	1	1	D	0	Db	D
G27	D	D	D	1	1	Db
G25	D	Db	D	D	Db	Db
G26	Db	Db	D	D	Db	D

Nós ligados

Figura 5: A cobertura proporcionada por cada vector de teste. D e Db representam, respectivamente, colagens a 0 e a 1.

Com a matriz de cobertura de C17 pode-se constatar, relativamente aos erros de colagem que:

- v1 detecta G17 colado a 0 e G18 colado a 0.
- v1 detecta G17 colado a 1 e G18 colado a 0.
- v1 detecta G17 colado a 0 e G18 colado a 1.
- A união de v4 e v5 detecta G17 colado a 1 e G18 colado a 1.

Neste último caso, como não existe um vector que faça a verificação de colagem a 1 simultaneamente, sobre as duas entradas, é necessário utilizar o par v4 e v5 duas vezes para garantir que esta situação não vai diminuir a

cobertura possível para a placa. No final pode verificar-se se esta repetição é ou não necessária e caso não seja, retirar os vectores em excesso.

Consequentemente as condições 3 e 4 estão satisfeitas.

Em conclusão, encontramos uma sequência composta de 8 vectores (os 6 vectores do circuito + 2 devidos à repetição de (v4,v5)), que permitem obter uma cobertura de 100% para o circuito 1, quando inserido na placa em análise.

Nota: Para o teste do circuito a Jusante procedeu-se a uma análise exclusivamente sobre as entradas G17 e G18, porque são as entradas que vão estar ligadas às saídas do primeiro circuito.

F.2 Teste do circuito a Jusante

Para obter 100% de cobertura para este circuito é preciso poder aplicar sobre as suas entradas uma sequência completa de vectores (de v1 a v6). Para atingir este fim, tenta-se reconstituir os vectores de teste do segundo circuito com as saídas do primeiro que são também entradas do segundo circuito. Desta forma estamos em vias de constituir uma sequência global para testar a placa.

Uma solução possível é a apresentada na tabela 1.

F.3 A sequência global

Finalmente, obtem-se uma sequência de teste para a placa composta de 8 vectores, mas é possível verificar que para o segundo circuito falta o vector de teste v6.

Após a criação de um novo par de vectores por forma a permitir a inclusão de v6, obtem-se a sequência que é apresentada na tabela 2.

G Avaliação do método

Para avaliar a eficácia deste método, procedeu-se à geração automática de vectores de teste para a placa, como entidade homogénea, com o Hitest (o ATPG do sistema Hilo), que resultou na geração de 7 vectores para 100% de cobertura.

Através do nosso método, obtiveram-se 8 vectores para a mesma taxa de cobertura, o que significa um vector extra, mas esta situação explica-se porque o conjunto de 6 vectores de partida não está minimizado.

III. O ALGORITMO

Do ponto de vista prático pode dizer-se que os problemas de controlabilidade e de observabilidade se podem ver da seguinte forma: o circuito a montante é como um gerador de vectores de teste para o circuito a jusante(controlabilidade) e o circuito a jusante serve para propagar as saídas do circuito a montante (observabilidade).

Com esta noção, pode-se estabelecer um algoritmo simplificado.

A.2 Teste do circuito a Jusante

Tabela 1-Uma solução possível

G17_1 G27_1 G18_1 G19_1 G20_1	G27_2	G19_2	G20_2	Vector Equivalente para o Circuito 2	Detecções para o Circuito 1
Sequência Global = V1	1	0	1	V3	ambas
Sequência Global = V2	1	1	0	V4	sobre G18
Sequência Global = V2	1	0	0	V5	sobre G17
Sequência Global = V3	1	0	1	V1	ambas
Sequência Global = V4	1	0	1	V1	ambas
Sequência Global = V5	1	0	0	V5	sobre G17
Sequência Global = V5	1	1	0	V4	sobre G18
Sequência Global = V6	1	0	0	V2	ambas

A Tarefas a executar

Para o teste do circuito a jusante é necessário determinar os vectores a repetir e as repetições efectuam-se sobre o segundo circuito.

A.1 Simplificação do problema

• A partir da matriz de cobertura do circuito a montante (coluna=vector de teste e linha=entrada/saída), constroi-se uma tabela com as linhas que correspondem à ligação dos dois circuitos.

•• A partir da matriz de cobertura do circuito a jusante, constroi-se uma tabela com as linhas que correspondem à ligação dos dois circuitos.

••• Simplificar as matrizes de cobertura reduzidas de ambos os circuitos, retirando os vectores que não se podem aplicar devido às restrições de controlabilidade e observabilidade, ou seja retirando os vectores de cada circuito que não têm par (vector reduzido igual) no outro circuito.

• Para cada vector de teste do primeiro circuito procura-se um vector de teste do segundo circuito que permita propaga-lo completamente (para a propagação completa é necessário um vector reduzido igual, em cobertura, ao que se pretende propagar). Se um tal vector de teste existe, passa-se ao vector seguinte, do circuito a jusante, caso contrário:

i-procuram-se vectores compatíveis (um vector compatível é um vector que sendo igual ao vector que se pretende propagar, difere na cobertura), entre os vectores do segundo circuito e geram-se combinações destes por forma a reconstituir um vector igual aquele que se pretende propagar.

Tabela 2-A Solução final

G17_1 G27_1 G18_1 G19_1 G20_1	G27_2	G19_2	G20_2	Vector Equivalente para o Circuito 2
Sequência Global = V1	1	0	1	V3
Sequência Global = V2	1	1	0	V4
Sequência Global = V2	1	0	0	V5
Sequência Global = V3	1	0	1	V1
Sequência Global = V4	1	0	1	V1
Sequência Global = V5	1	0	0	V5
Sequência Global = V5	1	1	0	V4
Sequência Global = V6	1	0	0	V2
Sequência Global = V1	0	0	1	V6

A matriz reduzida simplificada substitui a matriz de cobertura inicial para os procedimentos seguintes.

ii-Escolhe-se a melhor combinação em função da afinidade com o vector a propagar e do número de vectores usados para a reconstituição.

•• Cria-se uma lista de pares de vectores a utilizar, do ponto de vista da propagação das saídas do primeiro circuito.

A.3 Teste do circuito a Montante

- Criação de uma lista com todos os pares de vectores possíveis do ponto de vista da geração de vectores de teste feita pelo circuito 1. Esta lista é exaustiva, mas ela será apenas utilizada em parte para juntar vectores de teste para o circuito a montante que não tenham sido utilizados durante a geração da lista de vectores de teste descrita no ponto precedente.

A.4 Teste da Placa

- Para minimizar o número de vectores de teste para a placa, criou-se uma etapa extra que tenta substituir, na lista final, os vectores repetidos por outros vectores equivalentes, de forma a maximizar o número de vectores utilizados para o circuito a montante.

- Partindo da lista de vectores de teste gerada para a fase de teste do circuito a jusante e juntam-se pares de vectores de teste que contenham os vectores de teste em falta para o circuito a montante.

B A Estrutura da Ferramenta Criada

Esta ferramenta recebe a informação sobre os circuitos a processar através de ficheiros com configuração própria. O ficheiro nome-de_circuito.print e nome_de_circuito.inf contém respectivamente a matriz de cobertura e informação sobre as entradas/saídas.

Durante a execução é pedida, ao utilizador, a configuração da placa, sendo depois fornecidas informações que permitem uma verificação da constituição da placa.

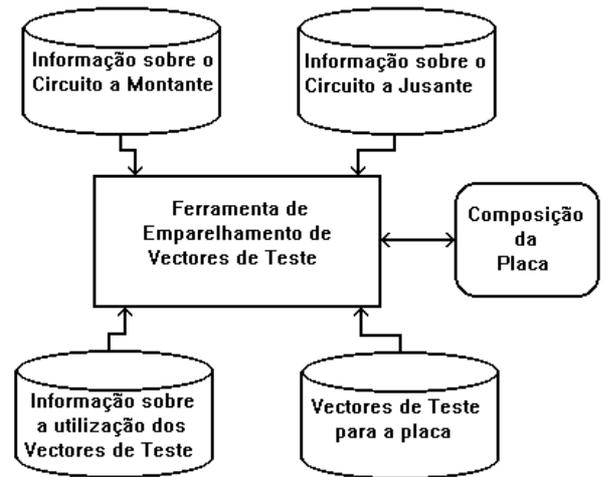


Figura 6: Organização da ferramenta de Emparelhamento de Vectores de Teste.

Estas informações podem servir para alterar a placa, eventualmente com a inclusão de BS, por forma a melhorar a testabilidade no caso de a taxa de cobertura não satisfazer os requisitos necessários.

IV. RESULTADOS OBTIDOS COM A FERRAMENTA DE EMPARELHAMENTO DE VECTORES

A tabela 3 mostra a configuração das placas criadas para cada exemplo. Para cada placa indica-se o número de ligações (#LIG), o número de entradas primárias (#EP) e o número de saídas primárias (#SP). Os circuitos que compõem as placas são *benchmarks* ISCAS85 e para cada circuito usado indica-se o número de portas que o compõem (#Port) e o número de vectores de teste (#Vect).

Placa	Circuito integrado a Jusante			Circuito Integrado a Montante			Configuração da placa		
	Nome	#Port	#Vect	Nome	#Port	#Vect	#Lig	#EP	#SP
P0	C17	6	6	C17	6	6	2	8	2
P1	C432nr	157	39	C2670nr	961	43	3	190	64
P2	C432nr	157	39	C2670nr	961	43	3	190	64
P3	C432nr	157	39	C2670nr	961	43	3	190	64
P4	C880	383	28	C17	6	6	3	62	25
P5	C17	6	6	C880	383	28	2	63	26
P6	C880	383	28	C432nr	157	39	2	94	31
P7	C880	383	28	C432nr	157	39	3	93	30
P8	C432nr	157	39	C2670nr	961	43	4	189	63
P9	C432nr	157	39	C880	383	28	3	93	30

Como resultado obtêm-se os vectores de teste para a placa no ficheiro result.out e informação sobre as restrições à utilização dos vectores de cada um dos circuitos, nomeadamente a indicação dos vectores que não puderam ser utilizados, os vectores propagados incompletamente e o nó onde surgiu a dificuldade, no ficheiro inf.out. A figura 6 mostra a disposição dos vários ficheiros em relação à ferramenta.

O conjunto de vectores de teste para cada circuito fornece uma cobertura de 100%.

As placas C1,C2 e C3 são compostas pelos mesmos circuitos e com o mesmo número de ligações, mas são diferentes devido aos nós escolhidos para as ligações.

A tabela 4 mostra uma comparação de resultados entre os vectores de teste gerados pelo ATPG do sistema Hilo e os vectores gerados pela ferramenta em estudo. Para que esta comparação fosse possível, foi criada para cada placa uma *netlist* fazendo com que cada placa seja assim considerada como um só circuito.

Finalmente deve notar-se que a qualidade dos resultados decresce com o número de ligações e que o tempo de CPU utilizado é sempre inferior ao necessário para gerar vectores com o ATPG.

Placa	Cobertura		Número de Vectores		Tempo de CPU (s)	
	ATPG	Ferramenta	ATPG	Ferramenta	ATPG	Ferramenta
P0	100%	100%	9	9	0.30	0.00
P1	99.9%	99%	56	64	21.36	0.42
P2	100%	100%	54	57	20.7	0.04
P3	100%	100%	46	50	18.19	0.02
P4	100%	78.2%	24	6	3.85	0.08
P5	100%	99.8%	26	28	3.94	0.00
P6	99.7%	93.2%	43	53	11.83	0.04
P7	99.5%	91.2%	55	66	13.28	0.18
P8	99.9%	96.6%	52	43	19.25	0.08
P9	99.8%	99.8%	42	44	10.39	0.04

Deve notar-se que esta comparação, ainda que sendo a única possível, não é muito justa uma vez que não se pretende que esta ferramenta substitua um ATPG, mas apenas que forneça uma solução numa situação em que não é possível usar ATPGs e que a ferramenta de emparelhamento de vectores não dispõe de todas as informações estruturais sobre as placas.

Os exemplos foram tratados com uma estação de trabalho SPARC10 da SUN.

A. Análise dos Resultados Obtidos

Na maioria dos casos, os resultados são razoáveis: gerou-se um número de vectores ligeiramente superior (ou o mesmo, caso da placa P0) para obter uma cobertura igual ou ligeiramente inferior.

A placa P4 apresenta o pior resultado. Analisando a constituição da placa, é fácil perceber que esta placa tem a jusante o circuito C17 que apenas tem 6 vectores de teste o que não é suficiente para ter uma boa controlabilidade e observabilidade.

No caso das placas P6 e P7, obteve-se uma cobertura inferior à do ATPG. Nestes dois casos após análise dos vectores de teste verifica-se que as entradas do circuito a Montante não têm detecções suficientes para permitir um resultado melhor.

A placa P8 é configurada com 4 ligações (4 ligações representa 2^4 vectores diferentes a propagar) o que torna mais difícil a aplicação da técnica de emparelhamento e traduz-se por uma taxa de cobertura inferior à do ATPG.

V. CONCLUSÕES

A ferramenta criada permite analisar uma placa (ou um *cluster* desprovido de facilidades BS), composta de dois CIs ligados, mas para gerar vectores de teste para uma placa mais complexa, basta utilizar repetidamente a ferramenta de emparelhamento.

Apesar desta aparente facilidade em analisar placas complexas é necessário uma certa prudência já que se podem colocar problemas de convergência.

Esta estratégia de aplicação do método de emparelhamento a placas mais complexas, embora tenha sido estudada de forma introdutória, necessita de ser aprofundada.

Esta técnica tem a vantagem de ser simples, de poder resolver uma situação em que não é possível usar ATPGs e de não ter necessidade de usar um simulador de erros de colagem.

Do ponto de vista do custo, o emparelhamento permite gerar vectores de teste sem a utilização de ferramentas comerciais (ATPGs e simuladores de erros de colagem) e gasta menos tempo de CPU.

A eficácia desta técnica depende sobretudo do número de ligações entre os circuitos e do número de vectores de teste disponíveis para cada CI.

AGRADECIMENTOS

Gostaria de agradecer a forma como fui acolhido no laboratório TIMA onde preparei a minha tese de Mestrado que é a base deste artigo.

O trabalho foi desenvolvido no grupo DCS, sob a orientação da Dr^aMeryem Marzouki e do Mestre Mohamed Hedi Touati a quem quero agradecer o apoio e entusiasmo que sempre me transmitiram.

Quero também agradecer ao Dr. Vladimir Castro Alves a ajuda que abriu a possibilidade de fazer o Mestrado de Microelectrónica na Universidade Joseph Fourier/Instituto Nacional Politécnico de Grenoble e o apoio prestado pelo Dr. António Ferrari.

REFERÊNCIAS

- [1] Mohamed Hedi Touati, "A Scheduling Approach for Board Test Generation"-Relatório interno do laboratório TIMA - Instituto Nacional Politécnico de Grenoble.
- [2] Christian Landrault, "Test, Testabilité et Test Intégré des Circuits Intégrés Logiques", Octobre 1990.
- [3] M. Lubszewski, M. Marzouki and M. H. Touati, "A Pragmatic Test and Diagnosis Methodology for partially testable MCMs", Multichip Module Conference, 94, pp 108-113.
- [4] M. Marzouki, M. Lubaszewski and M. H. Touati "Unifying Test and Diagnosis of Interconnects and Logic Clusters in Partial Boundary Scan Boards", Proc. Intl. Conf. on Computer Aided Design, Nov. 1993, pp 654-657.
- [5] Hagge J.K. and Wagner R. J. "High-Yield Assembly of MultiChip Modules through Known-Good ICs and Effective Test Strategies", Proceedings of the IEEE, Vol. 80, N.12, December 1992 pp. 1965-1994.
- [6] IEEE Standart 1149.1-1990: IEEE Standart Test Access Port and Boundary Scan Architecture, 1990.