

Extractor de Relógio Versátil

João Figueiredo, António Perpétua, Rui Aguiar, Atilio Gameiro

Resumo- Os sistemas de transmissão digital continuam a ganhar importância crescente na área das comunicações. Torna-se essencial para o correcto funcionamento destes sistemas a operação de sincronização da informação e extracção de relógio. Neste trabalho implementou-se um circuito extractor de relógio, que requer apenas um número reduzido de componentes externos. Este circuito pretende-se de fácil utilização, para uso essencialmente como instrumento de laboratório, capaz de adquirir sincronismo com sinais de 1 Mbps a 20 Mbps, e a suportar diversos códigos de linha.

Abstract- Digital transmission systems have an increasing importance in communications. It is essential a good clock recovery system for the proper operation of these systems. In this work, a clock extraction circuit has been implemented in an ASIC, requiring only a very reduced number of external components. This is specially oriented towards laboratory applications, and is projected to acquire synchronism with a wide range of bit-rates (1 to 20 Mbps) and several line codes.

I. INTRODUÇÃO

Uma das funções de um receptor em transmissões digitais é a de regenerar o sinal recebido. É necessária tanto a detecção dos símbolos (decidir o nível lógico), como a retemporização do sinal - o que obriga à extracção do relógio do emissor. [1]

Para uma detecção adequada, o relógio local deve estar coerente com o relógio do emissor de modo a efectuar a amostragem do sinal recebido nos instantes mais apropriados. O relógio local terá que ter a mesma frequência do relógio do emissor, bem como a fase apropriadamente alinhada com o relógio do emissor.

A utilização de um circuito de extracção de relógio poderia ser evitada se o emissor, juntamente com os dados, enviasse o sinal de relógio. Isto obrigaria à existência de mais uma linha (nem sempre disponível) perdendo-se eficiência em termos de potência, pelo que em sistemas reais esta solução não é utilizada.

O objectivo do trabalho era a implementação, num circuito integrado VLSI, de um extractor de relógio flexível capaz de suportar diversos códigos de linha na entrada, e velocidades de transmissão de 1 a 20 Mbps. É ainda de salientar o facto da aquisição de sincronismo ser feita de uma forma automática.

Este circuito foi implementado com uma tecnologia 2.4 µm da Mietec, tendo sido utilizado um conjunto de programas de CAD integrados no "Cadence Design

FrameWork II". O circuito foi simulado utilizando o simulador eléctrico HSPICE da Meta Software, e encontra-se em fase de testes.

II. MÉTODOS DE RECUPERAÇÃO DE RELÓGIO

Para uma correcta recuperação do relógio do emissor, é necessário retirar do sinal de dados recebido um sinal que possua no seu espectro de potência uma forte componente à frequência de relógio do emissor.

Através de uma adequada codificação dos dados (utilização de códigos de linha), a componente de relógio poderá ser obtida directamente sem qualquer tipo de processamento. Esta codificação pode implicar uma redução da máxima velocidade de transmissão utilizável, e num aumento da complexidade do sistema.

Na ausência deste tipo de codificação o sinal de dados não possuirá componente espectral marcante à frequência do relógio do emissor. Surge a necessidade de algum processamento prévio através do uso de não linearidades para criar a componente desejada.

A recuperação e filtragem da componente de relógio desejada pode ser depois feita por dois processos distintos: utilização de filtros de banda estreita ou malhas baseadas em princípios de acerto (*lock*) de fase. [1]

Neste trabalho optou-se pela segunda solução, porque existem diversos problemas associados aos filtros lineares de banda estreita dos quais se destacam os seguintes:

- dificuldade de variar a frequência central do filtro ao longo de toda a gama de frequências de transmissão desejadas;
- ausência de controlo automático de frequência;
- indefinição na fase do relógio obtido relativamente aos dados;
- dificuldades na integração.

Numa malha baseada nos princípios de acerto de fase estes problemas são minimizados, à custa de uma maior complexidade e de um custo mais elevado do sistema de extracção de relógio.

III. ESPECIFICAÇÕES FUNCIONAIS.

O circuito deveria ser capaz de adquirir sincronismo com velocidades de transmissão de 1 a 20 Mbps, e com códigos de linha NRZ, Manchester e PPM. Deveria ser capaz de funcionar com o mínimo de interligações exteriores.

O sistema construído irá ter dois modos de funcionamento distintos: modo automático e modo não automático. Quando em modo automático o circuito deve fazer a captura de sincronismo sem qualquer informação externa, com a excepção dos dados recebidos. Quando em modo não automático o circuito necessita que lhe seja imposta externamente uma tensão para definição da frequência livre de oscilação do VCO.

O sistema deveria ainda permitir a monitorização do comportamento da malha, o teste do circuito (e de alguns dos seus blocos contituíntes) e deveria incorporar a possibilidade de o utilizador dimensionar a malha de uma forma diferente da incluída no chip. Para tal foram incorporados pontos de acesso ao exterior, e que incluem:

- pontos de monitorização, onde são observados réplicas dos sinais de malha nos pontos de maior interesse.
- pontos de teste, onde podem ser introduzidos sinais externos específicos para teste de blocos do circuito (p.ex. o VCO)
- pontos de configuração, onde podem ser ligados componentes externos, adequados para dimensionamentos (distintos do existente no chip) da malha.

Além destas características, o sistema tem a possibilidade da substituição de alguns elementos internos por elementos externos, como por exemplo o VCO e o detector de sincronismo (como se verá na próxima secção).

IV. RECUPERADOR DE RELÓGIO BASEADO EM ACERTO DE FASE

O diagrama de blocos do sistema de recuperador de relógio desenhado e implementado está representado na Fig. 1. Nos parágrafos seguintes são descritos os diversos blocos da malha de acerto de fase implementada (Fig. 1).

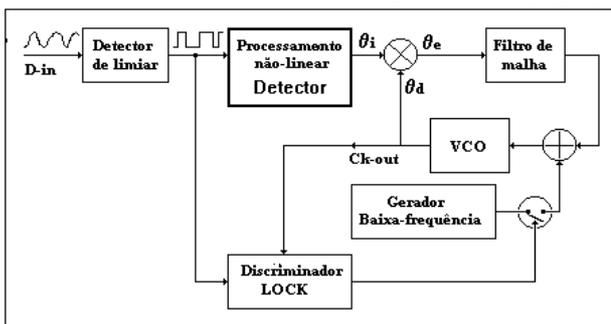


Fig. 1: Diagrama de blocos do circuito total

A. Detector de limiar

O sinal recebido do emissor, inclui ruído introduzido pelo canal de transmissão. Além disso, dada a largura de banda do canal ser limitada, a forma dos pulsos será arredondada e não conterá os níveis lógicos bem definidos em toda a sua extensão. Torna-se assim necessária a

utilização de um detector de limiar (baseado num comparador com histerese), para repor os níveis lógicos, com a vantagem acrescida de também eliminar algum ruído.

B. Detector

Em arquitecturas comerciais típicas de extractores de relógio (p.ex., [2]), verifica-se a utilização de detectores fase-frequência, estando o processamento não linear necessário à extracção do relógio integrado no próprio detector. No nosso caso optamos pela utilização de um detector de fase (que também integrará o processamento não linear necessário) pelas razões que de seguida apontamos:

- nos sistemas que utilizam detectores de fase-frequência a gama de captura fica limitada a cerca de 2% da frequência central, o que é pouco se pensarmos em adquirir sincronismo a partir de uma frequência central em toda a gama de frequências desejada (1 a 20 MHz);
- a elevada gama de aquisição pretendida obrigaria a uma grande largura de banda em malha fechada do circuito, o que originaria problemas na rejeição de ruído. Os tempos de aquisição seriam altamente variáveis.

A escolha de um processamento não linear sensível apenas à diferença de fase obriga à utilização de um circuito auxiliar de aquisição.

Um processamento não linear que inclua operações de comparação de fase e frequência significa a existência de memória. Na presença de sinais ruidosos, isto traduz-se na propagação de erros e na consequente degradação do desempenho relativamente a sistemas em que as operações de aquisição e seguimento estão separadas (em que a primeira é realizada por um circuito auxiliar e a segunda pela malha).

Com esta escolha (uso de detector de fase e de circuito auxiliar de aquisição) garantimos uma largura de banda em malha fechada mais reduzida, e uma consequente maior imunidade ao ruído. Não surgem dificuldades quanto à gama de aquisição, uma vez que o circuito auxiliar de aquisição conduzirá o VCO a uma frequência próxima da frequência de dados recebidos.

O circuito utilizado para o detector foi proposto por Hogge[3], e está representado na fig. 2.

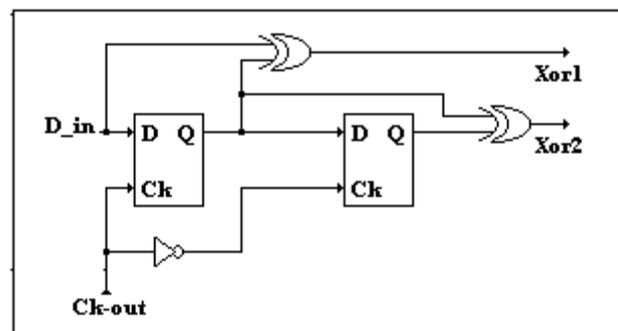


Fig.2: Detector de fase

As saídas Xor1 e Xor2 terão o mesmo valor médio, quando o relógio estiver centrado com os dados de entrada. Se o relógio estiver atrasado em relação aos dados, a saída Xor1 terá uma componente DC superior à da saída Xor2. No caso do relógio estar adiantado, a saída Xor1 possuirá uma componente DC inferior à da saída Xor2. Destas três situações podemos ver que a diferença entre as tensões médias das saídas do detector poderá ser utilizada como sinal de erro para controlo da malha fechada do sistema.

C. Oscilador controlado por tensão (VCO)

Este bloco é constituído por uma cadeia de inversores que, quando em número ímpar, produzem uma realimentação positiva da saída da cadeia para a sua entrada (Delay locked loop [4]). O período de oscilação será o atraso que o sinal sofre ao longo da cadeia. Controlando o atraso nos inversores, podemos realizar um oscilador controlado por tensão. O esquema utilizado para um inversor da cadeia foi o indicado na fig. 3.

O transistor M_2 para uma determinada tensão V_{ctr} , funcionará como uma fonte de corrente constante, que carrega C enquanto M_1 está "off". A corrente de carga varia com V_{ctr} , logo o tempo de subida na saída também varia com V_{ctr} .

Quando M_1 está "on", C é descarregado por M_1 por uma corrente que é a diferença entre a corrente em M_2 e a que M_1 é capaz de puxar.

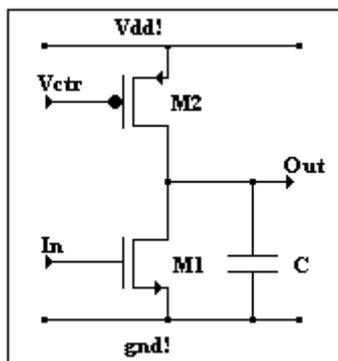


Fig. 3: Inversor utilizado no VCO

Vê-se que o tempo de descida na saída também será influenciado por V_{ctr} , se a corrente puxada por M_1 não for exageradamente superior à de M_2 .

Dada a elevada gama de frequências que o VCO deve suportar (1 a 20 MHz), tornou-se necessário separá-la em duas gamas distintas, uma de 1 a 5 MHz conseguida com uma cadeia de 5 inversores, e outra de 5 a 20 MHz obtida com a utilização de uma cadeia de 3 inversores. Na fig. 4 mostra-se a característica do oscilador para as duas gamas de funcionamento em função de V_{ctr} . A existência das cadeias de 5 inversores faz com que as assimetrias existentes no bloco da Fig 3. não se façam sentir de uma forma marcada, pois os inversores terão alternadamente as

capacidades C (que serão a carga inerente ao próprio inversor) a carregar e a descarregar.

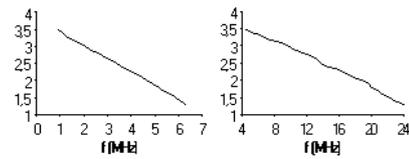


Fig. 4: Característica do VCO

Como se verifica na característica anterior, o circuito foi projectado de forma a que existisse uma sobreposição entre as duas gamas de funcionamento, pelo que se garante a não existência de zonas mortas no funcionamento do extractor de relógio.

Verifica-se uma grande linearidade do VCO que se traduz por coeficientes de correlação de $r=0.9994$ e $r=0.9972$, respectivamente para as gamas de frequência baixa e alta.

D. Filtro de malha

Para melhorar o comportamento da malha no modo de seguimento, esta deve possuir um filtro. Permite a redução de ruído e a melhoria do comportamento em lock. [5]

Escolhemos um filtro do tipo PI, uma vez que permite um fácil ajuste dos parâmetros $\omega\omega_n$ (largura de banda) e ξ (factor de amortecimento) do sistema de segunda ordem. Por ajuste das suas constantes de tempo, podemos facilmente obter os valores desejados dos parâmetros característicos da malha.

Foi utilizado um filtro com entradas diferenciais (fig.5), dada a saída diferencial do detector de fase.

Houve necessidade de efectuar uma pré-filtragem dos sinais de saída do detector, por forma a evitar níveis de tensão não permitidos às entradas do amplificador.

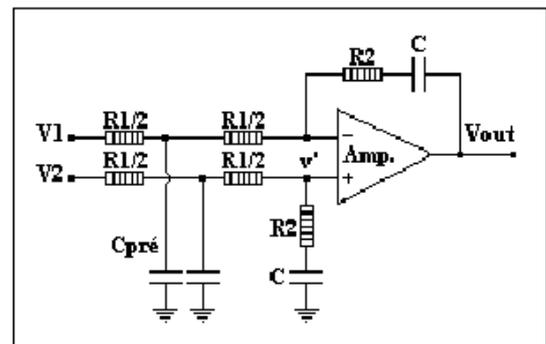


Fig.5: Filtro PI com entradas diferenciais

E1. Operação em modo não automático

Com os blocos anteriores já definidos, apresenta-se neste ponto o esquema total do circuito no modo não automático de funcionamento (fig.6). Neste modo será necessário impor uma tensão V_{fo} para definir a frequência central de oscilação do VCO, sendo ainda necessário

seleccionar qual a gama de funcionamento do VCO (1-5Mbps ou 4-20 Mbps)

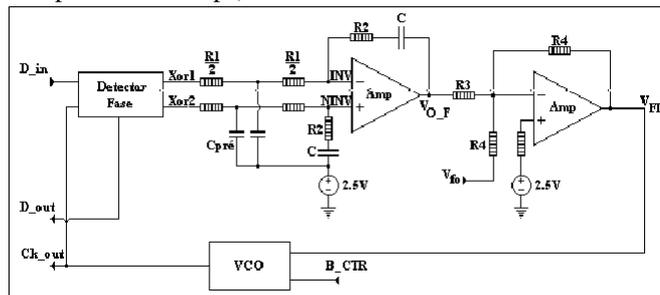


Fig.6: O circuito no modo não automático de funcionamento

Na gama 4 a 20 MHz o filtro PI encontra-se definido no interior do "chip", sendo necessária a introdução de dois condensadores externos para um correcto funcionamento na gama de 1 a 5 MHz. Isto acontece porque, devido ao valor elevado destes condensadores, não foi conveniente a sua integração no circuito integrado fabricado.

A configuração existente no circuito é tal que comporta-se como uma malha de segunda ordem na zona linear, com $\omega_{0n} = 1.2 \times 10^6$ rad/s e $\xi = 0.707$ (para a gama de frequências elevadas).

E2. Operação em modo automático

Neste modo de funcionamento o circuito deverá ser capaz de adquirir sincronismo, para os ritmos de transmissão de dados dentro da gama permitida, sem haver necessidade de impor uma tensão externa V_{fo} , que seria necessária para determinar a frequência central do VCO.

Neste modo de funcionamento é necessário activar o circuito auxiliar de aquisição, que produzirá o varrimento na frequência dos ritmos de transmissão de dados permitidos. Quando houver informação de sincronismo do sistema esse circuito auxiliar deverá ser desligado.

Na figura seguinte (fig.7), apresenta-se a circuito no modo automático de funcionamento.

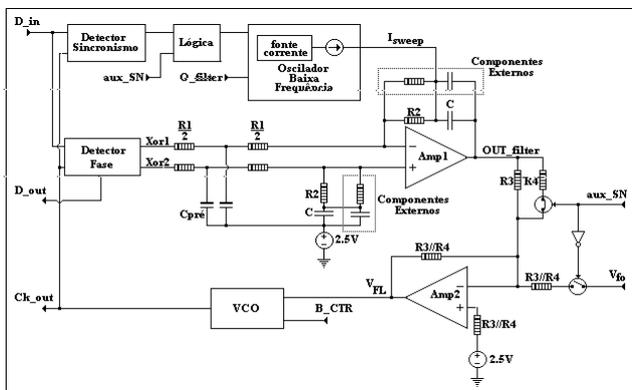


Fig.7: O circuito no modo automático de funcionamento

Mais detalhes sobre o circuito auxiliar de aquisição podem ser vistos em apêndice.

V. PORMENORES DE IMPLEMENTAÇÃO

Como o sistema contém componentes de funcionamento analógico e seria necessária uma simulação eléctrica global do circuito, este foi desenhado em "Full-custom", ou seja todos os blocos do circuito foram construídos ao nível do transistor. Devido à utilização deste tipo de desenho, foi necessário realizar o "layout" do circuito, que é referido de seguida.

A parte digital de qualquer circuito introduz ruído. Um dos principais problemas no desenho de circuitos integrados é o do ruído digital. Este ruído entra nos circuitos analógicos por caminhos diversos dos quais se destacam os seguintes:

- acoplamento capacitivo;
- acoplamento através das linhas de alimentação;
- acoplamento através do substrato.

Como forma de minimizar os problemas de injeção de ruído, existem algumas técnicas que devem ser utilizadas, tais como:

- colocar os componentes analógicos críticos, o mais afastados possíveis dos circuitos digitais;
- fazer as ligações críticas o mais curtas possíveis;
- separar as alimentações analógicas e digitais;
- evitar cruzamentos entre as linhas de alimentação de circuitos analógicos com linhas que transportem sinais digitais.

O acoplamento de ruído através do substrato torna-se importante, quando são utilizados transistores de grandes dimensões, pois têm elevadas capacidades relativamente ao substrato. Os efeitos de comutação destes transistores podem ser diminuídos, se forem usadas zonas de blindagem (poços N ou P ligados a VDD ou VSS). No entanto a utilização de transistores de dimensões elevadas aumenta a controlabilidade da implementação, reduzindo os erros de fabricação. As dimensões finais dos componentes são resultado deste compromisso.

Os princípios aqui referidos foram a base para a realização do projecto e do "layout" do nosso extractor de relógio.

VI. RESULTADOS E CONCLUSÕES

Com este trabalho implementou-se um extractor de relógio, de fácil utilização, apropriado para a utilização em laboratório, no desenvolvimento de sistemas de comunicação de baixa velocidade de transmissão.

Neste momento, o chip produzido encontra-se em fase de testes. Testes iniciais (realizados numa "placa branca") apresentaram resultados encorajadores a nível funcional, embora as limitações impostas pelo próprio circuito de teste impeçam testes a frequências elevadas. Um novo circuito de teste encontra-se a ser projectado, visando um teste mais exacto do circuito.

De qualquer modo, o circuito possui pontos de teste e supervisão, para que se detecte alguma possível anomalia, e se possa avaliar a performance de diferentes blocos tais como o VCO ou o detector de sincronismo. Nestes casos é

possível a sua substituição através de elementos externos ao “chip”. O circuito integrado implementado, embora com todas as funcionalidades de um sistema acabado, mantém assim um carácter experimental, e esperamos vir a utilizá-lo em testes de desempenho individual de vários blocos.

APÊNDICE

A. Circuito auxiliar de aquisição

Quando optámos pela utilização de um detector de fase, surgiu a necessidade de utilização de um circuito auxiliar de aquisição, composto por um gerador de baixa frequência e um detector de sincronismo.

O oscilador de baixa frequência serve para fazer o varrimento da tensão de controlo do VCO, para que este faça o varrimento de todos os possíveis ritmos de transmissão de dados de entrada. Este oscilador baseia-se no esquema do circuito integrado NE555 e funciona pela injeção de carga no condensador do filtro de malha.

O detector de sincronismo irá interromper o funcionamento do oscilador de baixa frequência, quando se atinge a frequência de relógio apropriada. Está dividido em dois circuitos, um para distinguir a situação em que a frequência do VCO é inferior ao ritmo de transmissão de dados (detector por contagem), outro para distinguir a situação em que a frequência do VCO é superior ao ritmo de transmissão de dados (detector por médias).

A.1 Detector por médias

O sistema baseia-se no facto dos dados recebidos consistirem numa sequência pseudo-aleatória de “1’s” e “0’s”.

Admitindo que se atrasam os dados recebidos de um período de relógio, que coincide com a duração de um “bit”, a média do produto entre o dado atrasado e o dado actual será 1/2, dado que a probabilidade de o dado actual ser “1” ou “0” é igual.

O esquema do detector por médias é o indicado na fig.8.

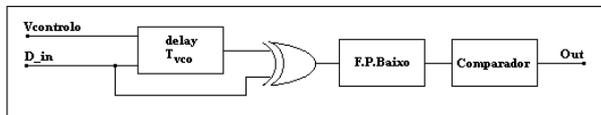


Fig.8: Detector de sincronismo - detector por médias

Como foi utilizado como multiplicador uma porta lógica “xor”, e como a alimentação do circuito é de 0 a 5V, a tensão média de saída do filtro passa baixo (V_{FPB}) em função do período de oscilação do VCO (T_{VCO}) será a indicada na fig. 9.

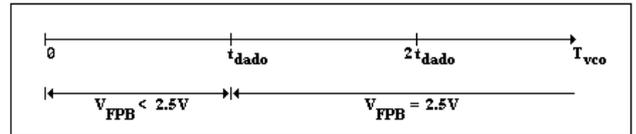


Fig.9: Característica do detector por médias

Utilizando um comparador podem ser distinguidas as situações em que o período de oscilação do VCO (T_{VCO}) é inferior ou superior ao período dos dados de entrada (T_{dado}).

Quando o valor médio da saída do filtro é 2.5V, sabemos que $T_{VCO} > T_{dado}$. Surge então a necessidade de um outro circuito para distinguir a situação em que $T_{VCO} > T_{dado}$. da situação em que temos sincronismo ($T_{VCO} = T_{dado}$).

A.2 Detector por contagem

Este detector baseia-se em dois contadores síncronos cujos sinais de relógio são gerados pelo circuito representado na fig.10.

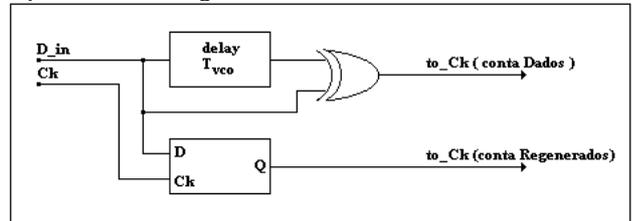


Fig.10: Gerador de impulsos a serem contados

Por cada variação de “bit” verificam-se duas transições, pelo que a contagem será correcta quando o resultado da contagem de transições for o dobro da contagem de variações de “bit”.

Se o VCO estiver a uma frequência superior ou igual à de dados, as contagens coincidem, caso contrário não existe coincidência dessas contagens.

A característica deste bloco é mostrada na fig.11.

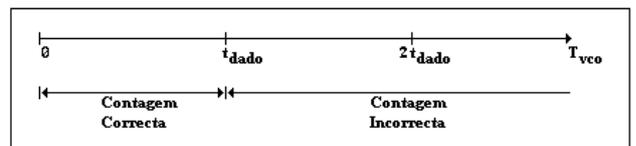


Fig.11: Característica do detector por contagem

Analisando as características dos dois detectores verificamos que a situação de sincronismo (em que $T_{VCO} = T_{dado}$) pode ser determinada univocamente - ou pelo menos conseguimos garantir que a indicação de sincronismo é feita quando a frequência de oscilação do VCO e a frequência de transmissão de dados estão muito próximas, por forma a que a malha já consiga adquirir sincronismo facilmente.

REFERÊNCIAS

- [1] Y. Takasaki, "Digital Transmission Systems and Jitter Analysis", 1991, Artech House, ISBN - 0-89006-503-9.
- [2] GigaBit Logic AN-7, AR-22.
- [3] Charles R. Hogge, Jr, "A Self Correcting Clock Recovery Circuit", Journal of LightWave Technics Vol. LT-3 December 1983.
- [4] A. Rothermel, F. Dell'ova, "Analogue Phase Measuring Circuit for Digital CMOS IC's", IEEE Journal of Solid-State Circuits Vol. 28 July 1993.
- [5] F. Gardner, "Phaselock Techniques", 1979, John Wiley and Sons, ISBN 0-471-04294-3.