

Sistema de Transmissão para Fibra Óptica a 622Mb/s

António Maria Sarsfield, Eduardo de Vasconcelos, Rui Aguiar, Dinis Magalhães dos Santos

Resumo- O artigo discute a implementação de um sistema de transmissão para fibra óptica, suportando taxas de transmissão de 622Mb/s (OC-12). O circuito desenvolvido em tecnologia CMOS de 1.0µm (ES2) implementa as necessárias conversões série/paralelo e paralelo/série. Este ASIC desenhado em Full-Custom é particularmente apropriado para aplicações baseadas em SONET/SDH (STM-4).

Abstract- The article discusses the implementation of an optical fiber transmission system, witch supports rates of 622 Mb/s (OC-12). The circuit was developed in a CMOS technology of 1.0µm (ES2). It implements the necessary serial-to-parallel and parallel-to-serial conversions. This ASIC designed in Full Custom is particulary suitable for SONET/SDH (STM-4) based applications.

I. INTRODUÇÃO

O desenvolvimento tecnológico exige uma permanente actualização dos sistemas de telecomunicações, alcançando maior fiabilidade e maior largura de banda. São também necessárias taxas de transmissão mais elevadas, de modo a ser possível uma plena utilização das tecnologias de informação.

Dentro deste processo de evolução, em velocidade vertiginosa, encontram-se as tecnologias baseadas em Complementary Metal Oxide Semiconductor (CMOS) e toda a micro-electrónica em geral. É por isso razoável ambicionar utilizar estas tecnologias para novas aplicações. Dentro desse espírito implementou-se um sistema de transmissão por fibra óptica, com o objectivo de atingir uma taxa de transmissão de 622Mb/seg.

Um sistema de transmissão série apresenta inúmeras vantagens sobre um sistema de transmissão paralelo. Entre estas podem-se salientar, além do seu menor custo ao nível da estrutura condutora, uma melhoria da taxa de erro para longas distâncias. Estes factores determinaram a implementação de um sistema de transmissão série. Procede-se, por isso, a uma serialização dos dados de forma a que os N bits da palavra paralela sejam

acondicionados num estrutura com as seguintes características:

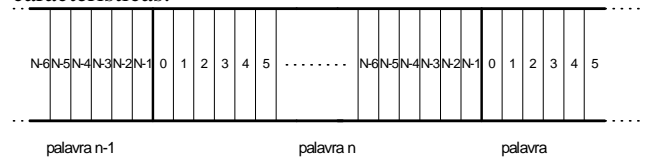


fig. 1 - Serialização de dados

Após a análise dos problemas citados decidiu-se pela implementação de um sistema de transmissão série, partindo de uma linha de dados paralela de 16 bits. Toda a parte de conversão paralelo/série foi desenvolvida em tecnologia CMOS.

A implementação física do sistema representada no seguinte esquema:

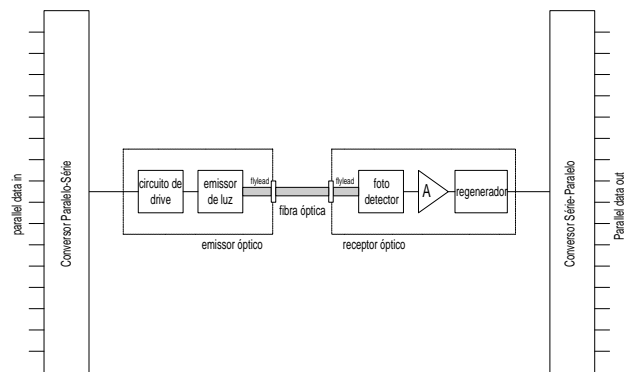


fig. 2 - Esquema, em blocos, da estrutura do sistema de comunicação implementado

Toda a parte óptica (emissor óptico e receptor óptico) é constituída por sistemas já existentes e que não se apresentam críticos para funcionarem no *optical channel level 12* (OC-12).

Analisando mais detalhadamente o emissor óptico, vê-se que o sinal proveniente do conversor paralelo/série é introduzido no circuito de ataque à fonte de luz que, por sua vez, emite o raio luminoso. Quanto ao receptor óptico, este é implementado através de um foto-detector, ao qual está associado um amplificador. É este sinal que, após ser amplificado, é utilizado para atacar um regenerador [1]. Fica assim apto a ser introduzido no conversor série/paralelo a fim de ser desmultiplexado.

II. CONVERSOR PARALELO/SÉRIE

Neste sistema existe um conversor paralelo/série (emissor) e, um conversor série/paralelo (receptor). Ambos foram implementados em micro-electrónica, a partir da tecnologia CMOS da European Silicon Structures (ES2) de 1.0 μm . Estes são os blocos críticos, a nível de implementação, do sistema de transmissão.

Para uma melhor compreensão apresentam-se a seguir os diagramas de blocos, tanto o do emissor como o do receptor.

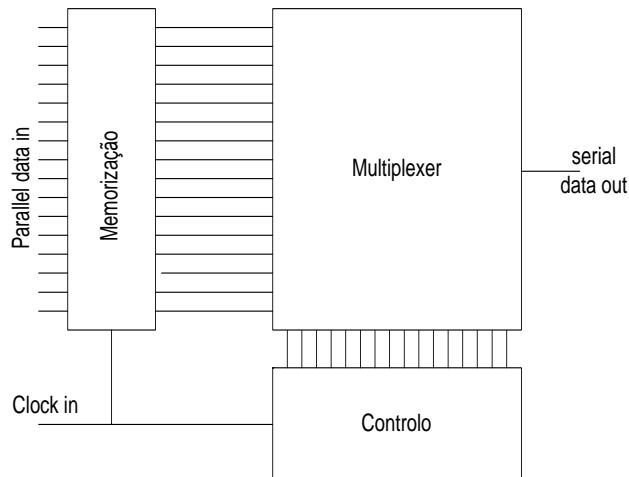


fig. 3 - Diagrama de blocos do sistema emissor

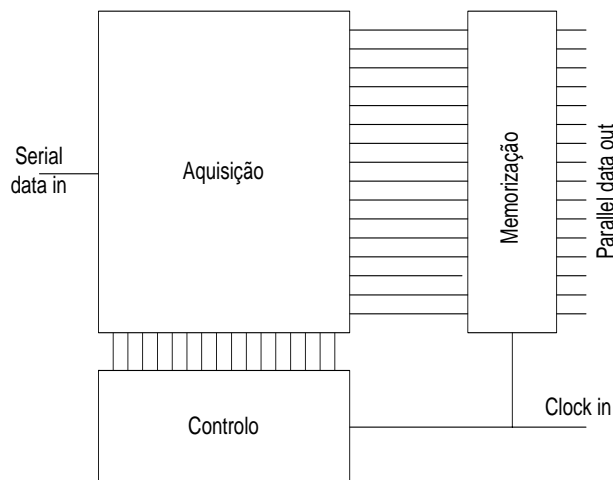


fig. 4 - Diagrama de blocos do sistema receptor

No conversor implementado a frequência de relógio é N vezes inferior à frequência de relógio da linha de transmissão. Torna-se assim mais fácil de implementar um gerador para este sinal. O processo possibilita uma maior estabilidade do mesmo, já que o jitter existente será aproximadamente o mesmo que o existente num clock de alta velocidade, com um custo mais reduzido. Para a transmissão a 622 Mb/s, como o multiplexer implementado é de 16 para 1, temos um relógio de $\frac{622\text{MHz}}{16} \approx 38.9 \text{ MHz}$.

O sinal de relógio é utilizado para se obterem 16 sinais de frequência idêntica à do relógio, mas com a particularidade de o seu *duty-cycle* ser apenas de 6.25%. Isto implica um tempo ON de 1.6ns, que é exactamente o tempo de duração de cada um dos bits presentes na linha de transmissão série. Note-se também que cada um destes 16 sinais referidos se encontra atrasado 1.6ns em relação ao anterior, o que permite controlar cada um dos 16 bits da entrada paralela. O processo de obtenção destes sinais é mais à frente abordado ao referir-se o funcionamento do bloco controlo. Todo o processo é baseado no elemento C de Müller que, permite a implementação duma Delay Locked Loop (DLL). Essa DLL realiza um *lock* (do atraso existente na propagação do sinal de relógio ao longo da malha de atraso) em um período do sinal de relógio, permitindo assim obterem-se os sinais referidos.

Para a entrada/saída da linha paralela elaborou-se um sistema de memorização de dados que permite eliminar transições durante a leitura. O bit que se encontra em transmissão não pode ser imediatamente adquirido pelo sistema receptor, pois a sua transição provocaria um erro na aquisição. O sistema de memorização permite evitar que a palavra enviada/recebida seja constituída pelos últimos bits da anterior e os primeiros bits da que está presentemente a ser transmitida, graças ao seu *timing* de comutação.

Observamos já o sistema que fornece os sinais para uma actuação sobre a palavra paralela e o sistema de memorização que fornece os sinais de dados. Falta-nos agora abordar o circuito que realiza a conversão paralelo/série propriamente dita. Assim, no emissor, esta conversão é conseguida através de uma multiplexagem realizada em duas fases. Inicialmente são conseguidas quatro multiplexagens de 4 para 1 as quais são numa segunda fase multiplexadas novamente num multiplexer de 4 para 1. Obtem-se assim uma multiplexagem de 16 para 1. A utilização desta estrutura deve-se a problemas existentes numa estrutura que realizasse a multiplexagem directa de 16 para 1, causados por capacidades parasitas e problemas de *scaling* por elas criados.

No caso do receptor, a conversão é conseguida, tão só, através de 16 latches cujas entradas estão todas ligadas à linha de dados série. No instante oportuno, são accionadas uma a uma, realizando a aquisição do bit correspondente ao intervalo respectivo.

III. SISTEMA DE CONTROLO

Como foi dito, parte-se de um relógio 16 vezes inferior ao relógio de transmissão. Para os 622 Mb/s pretendidos é utilizado um relógio de 38.9 MHz. Para atingir os sinais de controlo propriamente ditos (sinais com tempo ON de 1.6ns), a estrutura projectada baseia-se numa malha de atraso controlado por tensão, proveniente do circuito de controlo da DLL.

A malha de atraso implementada é uma estrutura simples, onde se podem observar 16 blocos, todos eles

idênticos, cada um constituído por dois negadores associados a duas fontes de corrente, segundo o esquema seguinte:[2][3]

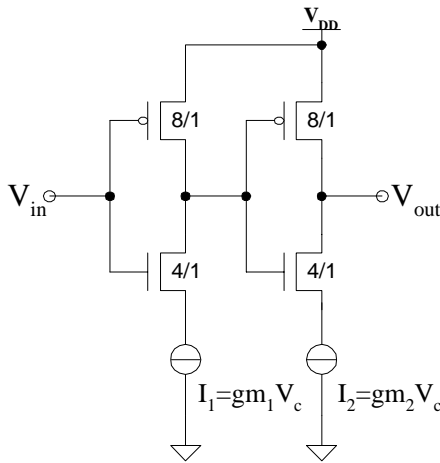


fig. 5 - Célula da malha de atraso

O funcionamento da estrutura é básico. Quando a entrada "in" comuta de *high* para *low*, a saída do 1º negador comuta, após um atraso, de *low* para *high*. Esta transição é conseguida através do PMOS existente no negador, razão pela qual o atraso introduzido, se comparado com o período do sinal de relógio, se pode considerar desprezável. De seguida, e devido a esta transição, a saída "out" comuta de *high* para *low*, comutação essa realizada através do NMOS cuja source está ligada à fonte de corrente I_2 . Assim, e dependendo da tensão de controlo V_C , o atraso introduzido nesta comutação é maior ou menor. De forma simétrica na comutação da entrada "in" de *low* para *high*, agora com a fonte de corrente I_1 , o atraso introduzido depende da tensão V_C .

Obtém-se uma dependência do atraso, no sinal de relógio que se propaga ao longo da malha de atraso constituída por 16 células idênticas à descrita, em relação a V_C . Mais especificamente, o flanco descendente do sinal tem um atraso dependente de I_2 e o flanco ascendente do sinal tem um atraso dependente de I_1 .

Para evitar a distorção do sinal ao longo de toda a malha de atraso, pretende-se que o atraso referente ao flanco descendente seja igual ao atraso referente ao flanco ascendente. Como as cargas e capacidades parasitas a que estão sujeitos os dois negadores representados são distintas, necessitamos de um I_1 diferente de I_2 para manter um atraso idêntico em ambos os flancos.

A tensão de controlo V_C foi escolhida ser única, sendo o elemento de controlo da DLL também único. Assim V_C é idêntica para ambas as fontes de corrente. Resta como única hipótese de actuação sobre o circuito, a variação do parâmetro gm . Implementadas as fontes de corrente através de transístores NMOS, a variação de gm apenas é possível mediante a variação das dimensões dos mesmos. Após um desenvolvimento matemático das expressões que descrevem as capacidades parasitas presentes, atingiu-se a relação:

$$gm_2 \cong 1.83gm_1$$

Não havendo influência do potencial, do substracto em relação à source, que no caso é 0V, temos:[4]

$$gm = K \times \frac{W}{L} \times (V_{GS} - V_t)$$

onde $V_{GS} = V_C$

Optando por manter o valor de L idêntico para ambas as fontes de corrente, utilizou-se para I_1 $W=5\mu m$ e para I_2 $W=9\mu m$.

A tensão de controlo V_C , já referida, é obtida a partir dum comparador de atraso que força o atraso ao longo da malha a ser, no total, igual a um período da onda de relógio. A estrutura implementada apenas faz a comparação em relação ao período da onda. Se a frequência de relógio variar também varia o atraso ao longo da malha de atraso, para que no final se mantenha o *lock* em um período da onda de relógio.

Para se conseguir o *lock* com um atraso de um período, introduziu-se um circuito baseado no elemento C de Müller [2][3]. Como se sabe, este tem um funcionamento que pode ser resumido da seguinte forma: a saída apenas reflecte o valor das entradas quando estas estiverem todas ao mesmo valor lógico, ou seja, quando todas as entradas estiverem a "1" a saída comuta para "1" e apenas retorna a "0" quando todas as entradas estiverem a "0" e vice-versa.

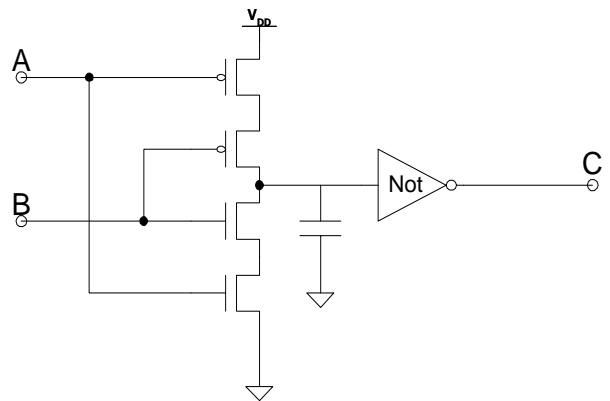


fig. 6 - Elemento C de Müller.

Se a este elemento C de Müller lhe adicionarmos um pouco de lógica, podemos realizar um comparador de fase.[2][3] Tendo em consideração que o comparador de fase transporta a informação de qual a onda em avanço, sabemos que V_C deve aumentar quando a onda após a malha de atraso (B) se encontra em avanço em relação à onda de entrada de relógio (A). Assim V_C aumenta quando $\bar{A} \cdot B \cdot C = 1$. De idêntica forma V_C deve diminuir quando B se encontra em atraso em relação a A, ou seja, quando $A \cdot \bar{B} \cdot C = 1$. Realizando um circuito *pump* constituído por um condensador, um NMOS com a source à massa e um PMOS com a source a V_{DD} , implementa-se a estrutura de controlo da tensão V_C . Utiliza-se $\bar{A} \cdot B \cdot C = 1$ para atacar o PMOS através de uma gate

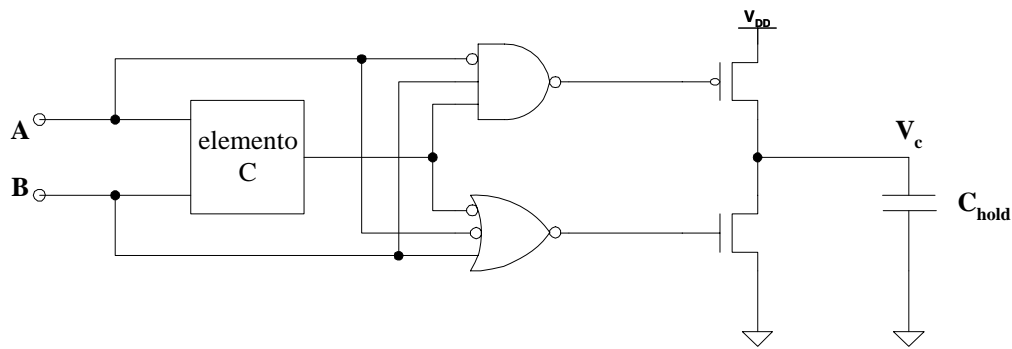


fig. 7 - Comparador de fase c/ circuito pump associado

NAND, ficando $\overline{\overline{A \cdot B \cdot C}} = 0$ e $A \cdot \overline{B} \cdot C = 1$ para atacar o NMOS através de uma gate NOR, ficando $\overline{\overline{A + B + C}} = 1$

Para finalizar o estudo deste circuito de controlo, falta apenas mencionar que através de gates NOR, partindo dos sinais de relógio existentes entre os vários blocos da malha de atraso, se obtêm os sinais de controlo necessários para a multiplexagem. Note-se que devido à malha de atraso, em cada um dos blocos o sinal de relógio está atrasado em relação ao bloco anterior. Podem-se descrever estes sinais de controlo da seguinte forma $\overline{CLOCK_{(n-1)}} + \overline{CLOCK_{(n)}} = 1$, onde $n=16$ bits e, se $n=0$ então $(n-1)=16$.

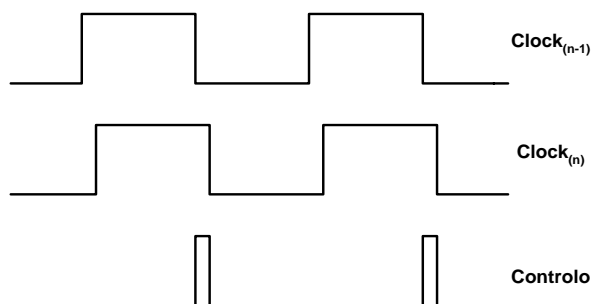


fig. 8 - Obtenção dos sinais de controlo

IV. SIMULAÇÕES

Utilizando o simulador HSPICE da META Software, verificou-se, após a implementação de toda a estrutura, que o circuito funcionaria de modo aceitável, não considerando possíveis problemas devidos a capacidades parasitas ignoradas pelo simulador. De entre os valores mais importantes podem-se salientar, uma tensão V_C de 1.58V para a transmissão a 622 Mb/s, e um atraso de 2.2ns ao longo de todo o conversor paralelo/série. Este atraso exclui o valor introduzido pelas células de ligação ao exterior (vulgo PAD's).

Como se pode concluir, este circuito foi elaborado levando a tecnologia utilizada até perto do seu extremo de velocidade, razão pela qual se optou pelo desenho da estrutura em *Full-Custom*. Infelizmente a ferramenta de extracção de capacidades parasitas só ficou operacional

após a manufactura do *chip*. Os resultados das simulações com estas capacidades foram coerentes com os resultados experimentais, e serão analisados na próxima secção.

A comunicação para o mundo exterior é feita por células standardizadas (vulgo PAD's). Estas apresentam ainda problemas para tratarem sinais a tão elevada frequência. Este facto deve-se a estarem desenhadas para funcionarem às frequências normais para esta tecnologia e não para a frequência que se ambiciona implementar com este circuito.

Saliente-se, por exemplo, que no PAD digital disponível com velocidade mais elevada, e para as condições típicas, as diferenças entre o tempo de comutação *high* para *low* e *low* para *high* atingem os 400ps. Por estas razões implementaram-se as saídas críticas com PAD's analógicos de saída directa ($R=20\Omega$; $C=1pF$).

Além destas células, uma outra limitação importante da velocidade do circuito é a capacidade parasita introduzida pelas linhas que fazem a ligação entre os vários transístores que constituem o circuito. Estas capacidades das linhas são, por vezes, bastante mais significativas que as capacidades parasitas dos próprios transístores, pelo que é salutar ter uma atenção muito especial à geografia do desenho do *layout*.

V. RESULTADOS EXPERIMENTAIS

Foram realizados diversos testes aos circuitos fabricados. Estes testes foram cuidadosamente implementados, devido às altas velocidades de transmissão envolvidas.

Os testes referentes ao emissor verificaram o comportamento da DLL, malha de atraso e multiplexer.

As medidas experimentais da malha de atraso em função da tensão de controlo V_C encontram-se representadas na figura 9. Os resultados são semelhantes aos valores simulados.

Testes efectuados com padrões de bits de entrada levaram à conclusão que, o factor limitativo da estrutura de transmissão é a carga assimétrica dos andares de saída da malha de atraso, causada pelos multiplexers. Outra limitação importante é a carga que o circuito deve atacar. Com valores de carga aproximadamente $C_L=2.5pF$ e $R_L=100K\Omega$ foram obtidos os resultados apresentados nas figuras 13 a 17.

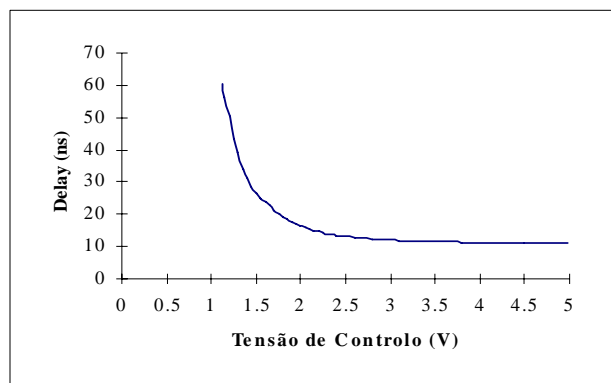


fig. 9 - Atraso na malha versus Tensão de Controlo na DLL
(inclui o atraso provocado pelos PAD's e seus circuitos de ataque)

Os testes ao receptor foram algo mais difíceis de realizar, devido ao equipamento existente. Foi decidido utilizar o próprio emissor para injectar os sinais de entrada no receptor. Os resultados obtidos permitem concluir que o circuito funciona dentro do valor pretendido (622 Mb/s). Ajustes à fase do sinal de relógio de entrada do receptor aparentam baixar a performance do receptor, relativamente à taxa de erros. Infelizmente não é fácil melhorar este ajuste com o equipamento disponível. Mais uma vez, o factor limitativo da performance do sistema é a carga capacitiva assimétrica na malha de atraso, essencialmente no último andar da mesma.

VI. CONCLUSÕES

Neste projecto foi desenvolvido e implementado o circuito crítico de um sistema de comunicação de alta velocidade, nomeadamente a unidade de serialização e de paralelização do mesmo. Esta unidade foi implementada em dois ASIC's, realizados em tecnologia CMOS de baixo custo (1.0 μ m), e obteve resultados que permitem implementar sistemas baseados no OC-12 (622 Mb/s).

Os resultados obtidos são muito encorajadores, permitindo almejar atingir 1Gb/s. A existência de versões mais actualizadas da ferramenta de simulação permite neste momento corrigir os factores que limitam o funcionamento do circuito. Aliás a tecnologia utilizada é já ultrapassada, e a utilização de outras tecnologias (0.7 μ m, p. ex.) facilmente acessíveis e também de baixo custo, permite esperar a implementação de sistemas de transmissão a 1Gb/s, e mesmo a 1244Mb/s.

REFERÊNCIAS

[1] Keiser, Gerd - "Optical Fiber Communications"
1991 McGraw-Hill

[2] Santos, Dinis Magalhães - "A 50MHz CMOS Delay-Locked Loop and Timing Generator"
IEEE Nuclear Science Symposium
1995 San Francisco

[3] Santos, Dinis M.; Scott F. Dow, Michael E. Levi
"A CMOS Delay Locked Loop and Sub-Nanosecond Time-to-Digital Converter Chip"
IEEE Transactions on Nuclear Science, 43, Nº3, June 1996, pp. 1717-1720

[4] Gray, Paul R. - "Analysis and Design of Analog Integrated Circuits" - 1993 Berkeley

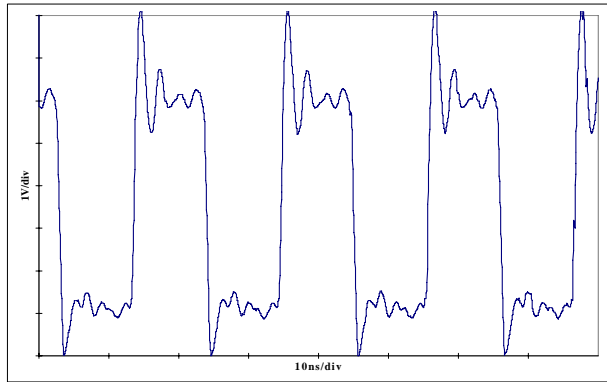


Figure 10 - Clock no Gerador

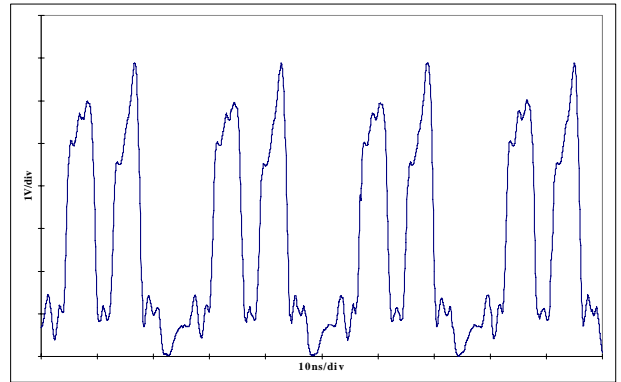


Figure 14 - Transmissão série (622Mb/s)
Padrão 0011100111000000

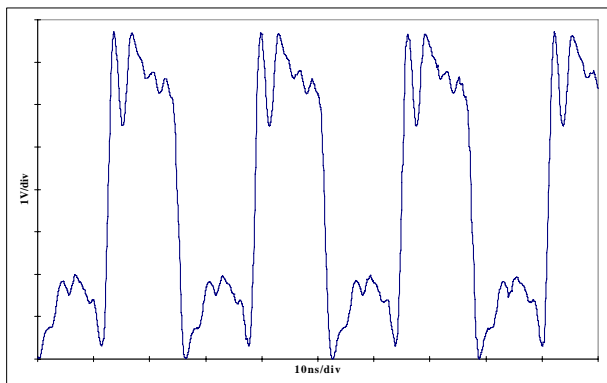


Figure 11 - Clock no Emissor

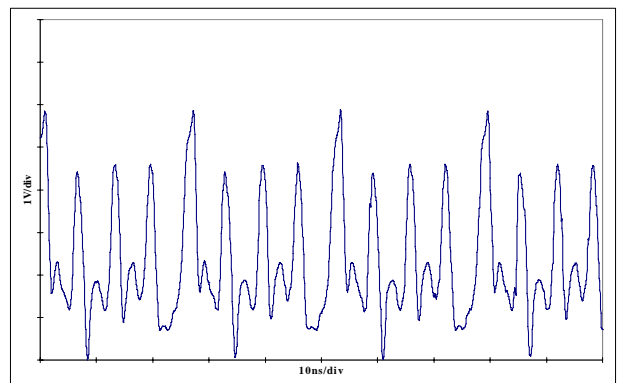


Figure 15 - Transmissão série (622Mb/s)
Padrão 0001000100010001

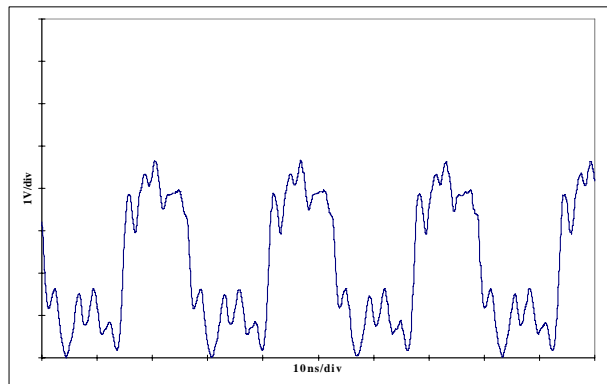


Figure 12 - Clock no Receptor

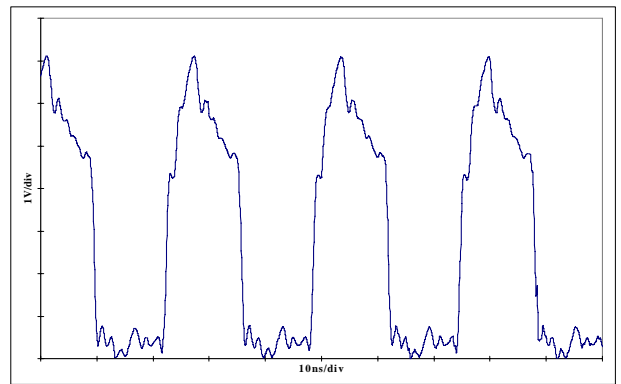


Figure 16 - Transmissão série (622Mb/s)
Padrão 1111100000000111

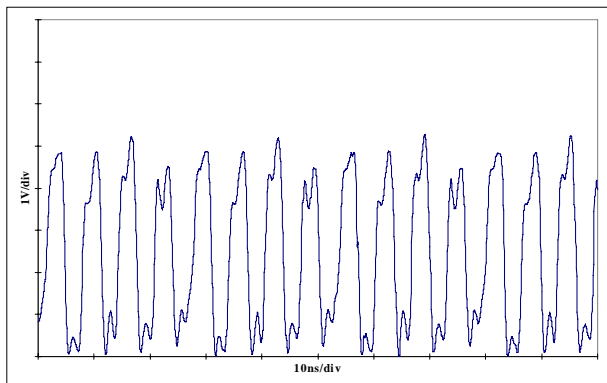


Figure 13 - Transmissão série (622Mb/s)
Padrão 1100110011001100

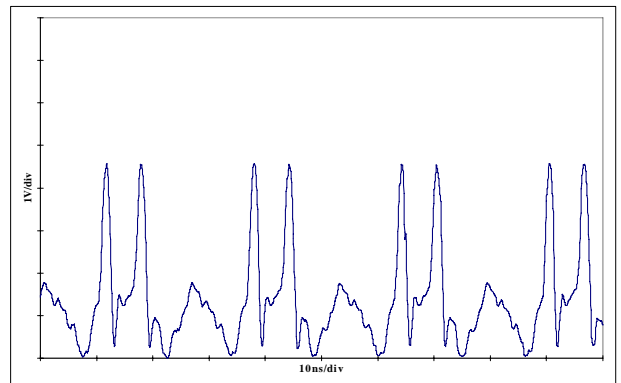


Figure 17 - Transmissão série (622Mb/s)
Padrão 0000001000100000